

# 1 Spezifikation der Funkübertragung

## 1.1 Layer 1 (Bitübertragungsschicht)

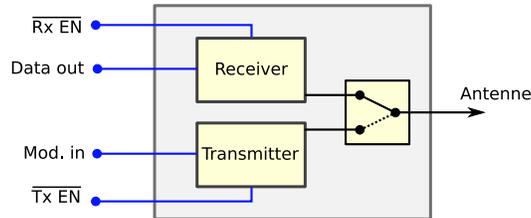


Abbildung 1: Prinzipieller Aufbau des Funkmoduls

Der Aufbau der physikalischen Schicht (hier: die elektrische Übermittlung des Datensignals vom und zum Funkmodul, d.h. die Modulation für die FSK<sup>1</sup>-Übertragung) ist seitens des verwendeten Funkmoduls XTR-434 fest vorgegeben und dem Datenblatt zu entnehmen. Die wichtigsten Spezifikationen und Anforderungen, die beim Entwurf zu beachten sind, sollen hier jedoch kurz wiedergegeben werden:

- Das Funkmodul wird über 4 Leitungen gesteuert (siehe auch Abbildung 1):
  - “Rx EN” (invertiert): “Receive Enable”; Low-Pegel aktiviert den Empfänger, High-Pegel deaktiviert ihn
  - “Tx EN” (invertiert): “Transmit Enable”; Low-Pegel aktiviert den Sender, High-Pegel deaktiviert ihn
  - “Mod. in”: “Modulation Input”; wertdiskretes (zweiwertiges), zeitkontinuierliches Sendesignal
  - “Data out”: wertdiskretes (zweiwertiges), zeitkontinuierliches Empfangssignal; darf elektrisch nicht belastet werden.
- Sender und Empfänger des Funkmoduls können dabei nur wechselweise aktiviert werden (d.h. CSMA-Techniken (“Carrier Sense for Multiple Access”) können hier nicht angewendet werden, da ein Sender die Verfälschung seines Signals durch andere Sender nicht erkennen kann)
- Die elektrischen Pegel auf allen Leitungen außer “Data out” betragen nominal 5V für High und 0V für Low; auf der “Data out”-Leitung sind es nominal 0,1V für Low und 3,5V für High.
- Die Zeit zwischen zwei Pegelwechseln auf der Sendeleitung soll zwischen 10µs und 200µs liegen; d.h. theoretisch sind höchstens 100kBaud/s möglich, mindestens jedoch 5kBaud/s nötig. Die Referenzimplementierung des Herstellers verwendet eine Symbolrate von 76,923 kBaud/s (entspricht einer Symboldauer von 13µs).
- Nach dem Einschalten des Senders muss für etwa 2ms ein Rechtecksignal gesendet werden (Tastverhältnis 1:1), bevor eine Datenübertragung möglich ist (zur Synchronisierung des PLL-Schaltkreises und zur Unterstützung der Verstärkungsregelung beim Empfänger)
- Das Sendesignal sollte idealerweise ein Tastverhältnis von 50:50 aufweisen (maximal 30:70 bzw. 70:30). (Bemerkung: Das Tastverhältnis sollte innerhalb einer möglichst kurzen Periode sicher erreicht werden; dafür sollte auch die Datenrate eher am oberen als am unteren Rand gewählt werden. Dies geht aus einem Hinweis im Datenblatt hervor, in dem bei reiner RS232-Übertragung mit invertierter Byte-Wiederholung eine Baudrate von mindestens 57,6k gefordert wird. Demnach müsste der Ausgleich nach spätestens 0,35ms erreicht werden.)

<sup>1</sup>Frequency Shift Keying (hier: zweiwertige Frequenzmodulation, d.h. ein Symbol überträgt ein Bit, wobei zwischen zwei leicht unterschiedlichen Frequenzen umgeschaltet wird)

Des weiteren ist auf die Datenblätter der beiden wichtigsten Bestandteile der Modulplatine hinzuweisen (Sender- und Empfängerbaustein):

- Infineon TDA5100 (ASK/FSK Transmitter 868/433 MHz)
- Infineon TDA5210 (ASK/FSK Single Conversion Receiver)

## 1.2 Layer 2 (Sicherungsschicht)

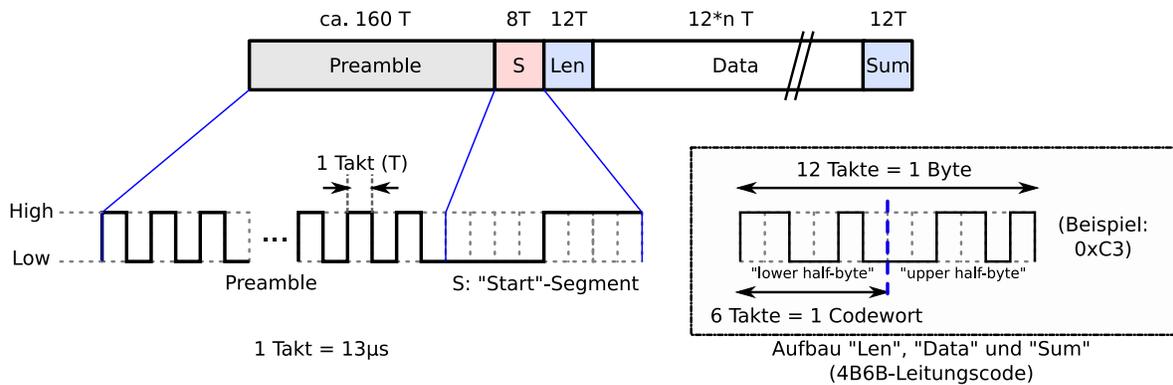


Abbildung 2: Rahmenformat der Sicherungsschicht

Die Datenübertragung auf der Sicherungsschicht erfolgt nach dem NRZ-Prinzip ("non-return-to-zero"), d.h. der Bitwert wird durch den elektrischen Pegel kodiert. Während der Symbol-/Bitzeit ("1 Takt") ist der Pegel dabei konstant. Ein Pegelwechsel ist immer nach Ende eines Taktes möglich. Die Länge des Taktes beträgt  $13 \mu\text{s}$ , sodass sich eine Brutto-Übertragungsrates (ohne Berücksichtigung des Leitungscode) von  $76,9 \text{ kBit}$  ergibt.

Abbildung 2 zeigt den Aufbau des Rahmens. Er besteht aus 5 Teilen:

- "Preamble": Rechtecksignal mit einer Dauer von ca. 2ms. Nach jedem Takt erfolgt ein Pegelwechsel. Die Präambel ist erforderlich, damit der Empfänger sich auf das Signal einregeln kann (Verstärkungsregelung, Entscheidungsschwelle für Datenausgang, etc.).
- "Start (S)": Sequenz bestehend aus vier Takten Low-Pegel und darauf folgend vier Takten High-Pegel. Sie signalisiert dem Empfänger, dass nun die eigentlichen Daten gesendet werden. Da die Länge der Präambel auf Empfängerseite schwanken kann (die Zeit des Übergangs vom Rauschen (zufällige Pegelwechsel im "Data out"-Signal) bis zur korrekten Wiedergabe des Rechtecksignals hängt von verschiedenen Parametern ab wie Entfernung des Senders, Fertigungstoleranzen des Moduls, Störungen, etc.), ist die Startsequenz zur Synchronisation des Empfängers zwingend erforderlich. Dazu kann der Empfänger z.B. auf die Folge von vier Low-Pegeln warten und dann mit der steigenden Flanke die Abtastung beginnen (wobei die ersten vier Werte verworfen werden).

Die folgenden 3 Teile des Rahmens enthalten Daten (also eine Menge von Bytes) und werden mit einem "4B6B" Leitungscode übertragen, d.h. eine Bitsequenz bestehend aus 4 Bits wird eindeutig auf ein 6 Bit Codewort abgebildet, wobei jedes dieser Codeswörter genau drei Nullen und drei Einsen aufweist (Tastverhältnis 50:50). Die Abbildung ist in Tabelle 1 dargestellt, wobei die vorne stehende Ziffer zeitlich immer zuerst übertragen wird. Nebenbei sei vermerkt, dass durch die dargestellte Auswahl der

Bitsequenz	Codewort	Bitsequenz	Codewort
0000 (0x0)	110100	1000 (0x8)	110001
0001 (0x1)	101100	1001 (0x9)	101001
0010 (0x2)	011100	1010 (0xA)	011001
0011 (0x3)	110010	1011 (0xB)	100101
0100 (0x4)	011010	1100 (0xC)	001101
0101 (0x5)	100110	1101 (0xD)	100011
0110 (0x6)	010110	1110 (0xE)	010011
0111 (0x7)	001110	1111 (0xF)	001011

Tabelle 1: Codetabelle (vorderstes Bit wird zuerst gesendet)

Codeworte aus der Menge aller möglichen Codeworte garantiert ist, dass maximal 4 Nullen bzw. 4 Einsen aufeinander folgen (die Codeworte “111000” und “000111” sind ungültig). Der Empfänger muss also (theoretisch) lediglich über 4 Takte tolerant gegenüber dem maximal möglichen Geschwindigkeitsunterschied von Sender- und Empfängeruhr sein (in dieser Zeit ist wegen NRZ keine Taktrückgewinnung möglich)

Demzufolge wird jedes Byte durch zwei Codewörter mit insgesamt 12 Bits (also 12 Takte) dargestellt. Bei der Übertragung wird das niederwertige Halbbyte zuerst gesendet.

- “Len” (1 Byte, 12 Takte): Gibt die Anzahl  $n$  der folgenden Datenbytes an (ohne Prüfsumme)
- “Data” ( $n$  Bytes,  $12 \cdot n$  Takte): Hier werden die Nutzdaten übertragen.
- “Sum” (1 Byte, 12 Takte): Prüfsumme über das “Data”-Segment. Sie wird durch Modulo-2<sup>8</sup>-Addition aller Datenbytes berechnet.