

Praktikum Softprozessor, Aufgabe 3

Prof. G. Kemnitz, TU Clausthal, Institut für Informatik

22. April 2016

Aufgabe 3.1

Legen Sie nach der Schritt-für-Schritt-Anleitung 3 »ChipScope« in EDK eine Kopie des Minimal-systems aus der ersten Schritt-für-Schritt-Anleitung an, fügen Sie die beiden Logikanalysatoren ein und führen Sie die Tests in der beschriebenen Weise aus.

Aufgabe 3.2

Erzeugen Sie in analoger Weise eine Kopie des Systems aus Aufgabe 1.2 (Minimalsystem mit zusätzlichem parallelem Eingabeport für die Schalter). Bauen Sie einen integrierten Logikanalysator ein, der dieselben Trace-Signale des Prozessors wie in der Anleitung 3, die Led-Ausgabe und zusätzlich die Eingabe von den Schaltern aufzeichnet.

Aufgabe 3.3

Entwickeln Sie in SDK ein Testprogramm, das in einer Endlosschleife zyklisch einen 8-Bit-Zählwert hochzählt, den Schalterwert einliest und die Summe aus Schalter und Zählwert ausgibt. Testen Sie das Programm im Debugger und extrahieren Sie die Assembler-Befehlsfolge für einen Durchlauf der innersten Schleife.

Aufgabe 3.4

Untersuchen Sie mit ChipScope, wie lange das Lesen der Schalterwerte über den AXI-Bus dauert.

Abnahmekriterien:

- Das Hardware-Projekt zu Aufgabe 3.2 muss vorführbar und übersetzbar sein.
- Sie müssen in der Lage sein, das C-Programm aus Aufgabe 3.3 im Debugger (mit Unterbrechungspunkten bzw. im Schrittbetrieb) vorzuführen.
- Die disassemblierte Befehlsfolge aus Aufgabe 3.3 ist so zu kommentieren, dass Sie Schritt für Schritt die Programmabarbeitung beschreiben können.
- Die Untersuchungen mit Chipscope müssen vorführbar sein.

Eine kreativ gelöste Zusatzaufgabe gilt als Ersatz für die Standardaufgaben.

Zusatzaufgaben

Aufgabe 3.5

Bauen Sie einen integrierten Logikanalysator in ihr System ein, der die Anschluss-signale des Debug-Moduls aufzeichnet und untersuchen Sie, wie Prozessor und Debug-Modul bei einem Stopp an einem Unterbrechungspunkt miteinander kommunizieren.

Aufgabe 3.6

Bauen Sie einen integrierten Logikanalysator in ihr System ein, der die Anschlussignale des Reset-Moduls aufzeichnet und untersuchen Sie, ob es Zeitversätze zwischen dem Reset-Signal vom Debugmodul zu den einzelnen Reset-Ausgängen, die an die Busse, den Prozessor etc. weitergeleitet werden, gibt. Wenn ja, um wie viele Takte werden die einzelnen Reset-Ausgabesignale verzögert?