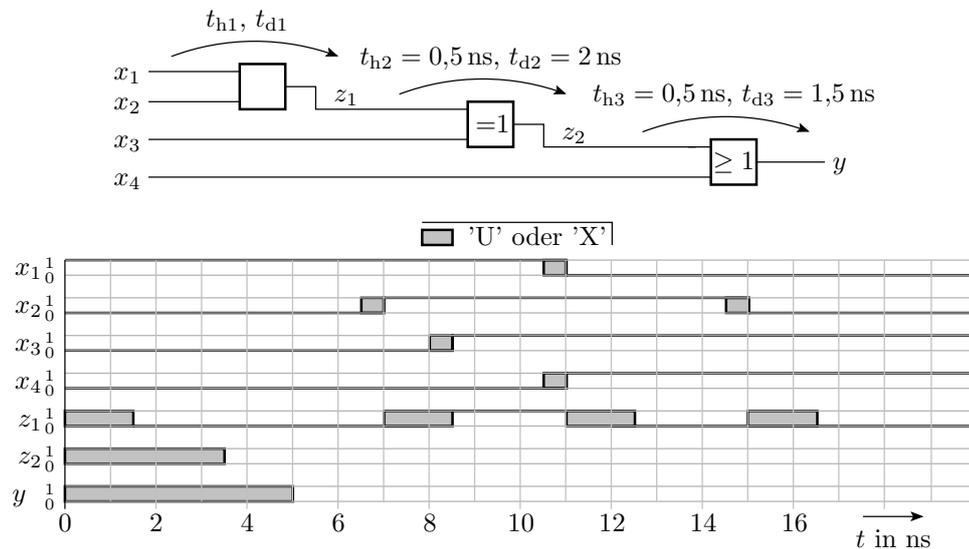


Prüfungsklausur Entwurf digitaler Schaltungen

Hinweise: Die Bearbeitungszeit beträgt 90 Minuten. Schreiben Sie die Lösungen, so weit es möglich ist, auf die Aufgabenblätter. Tragen Sie Namen, Matrikelnummer und Studiengang in die nachfolgende Tabelle ein. Zum Bestehen sind ≥ 20 Punkte erforderlich. Geben Sie die Aufgabenblätter zum Schluss mit ab (ZPHÜ – Zusatzpunkte Hausübungen).

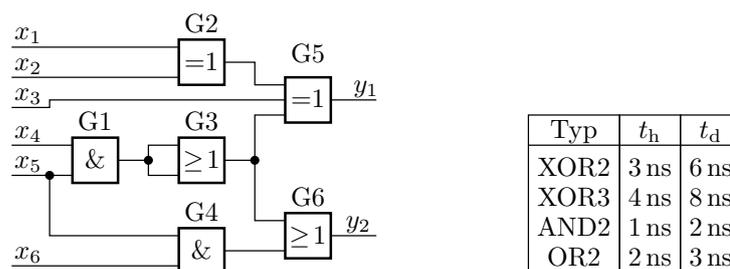
Name	Matrikelnummer	Studiengang	Punkte	ZPHÜ	Note

Aufgabe 1: Gegeben ist die nachfolgende Schaltung mit den Halte- und Verzögerungszeiten.



- Bestimmen Sie aus dem Signalverlauf von z_1 die logische Funktion, die Gatterhaltezeit t_{h1} und die Gatterverzögerungszeit t_{d1} vom ersten Gatter. 2P
- Ergänzen Sie die Signalverläufe für z_2 und y . 2P
- Notieren Sie die VHDL-Anweisungen zur Erzeugung der Signalverläufe x_1 bis x_4 . 2P

Aufgabe 2: Gegeben sind die nachfolgende Schaltung und die Halte- und Verzögerungszeiten der Gatter:



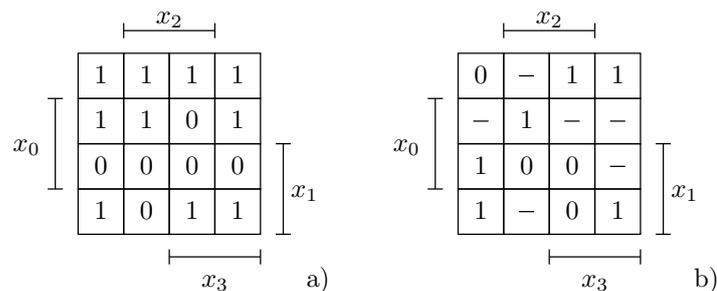
- a) Bestimmen Sie für alle Pfade durch die Schaltung die Haltezeit t_h und die Verzögerungszeit t_d . 5P
- b) Wie groß sind die Halte- und die Verzögerungszeit der Gesamtschaltung? 1P
- c) Zeichnen Sie die Schaltung mit Abtastregistern an den Ein- und Ausgängen. Die Register sollen die Vorhaltezeit $t_s = 2,5$ ns, die Nachhaltezeit $t_n = 0$, die Haltezeit $t_{hr} = 500$ ps und die Verzögerungszeit $t_{dr} = 1,5$ ns haben. Wie groß ist die max. Taktfrequenz? 2P
- d) Welches Gatter kann weggelassen werden, ohne dass sich die logische Funktion ändert? 1P

Aufgabe 3: Gegeben ist die nachfolgende durch ein FCMOS-Gatter zu realisierende Funktion:

$$y = \overline{((ab \vee a\bar{b})c) \vee (e((d(e \vee d))) \vee ac)}$$

- a) Vereinfachen Sie die logische Funktion soweit wie möglich. 1,5P
- b) Stellen Sie die Funktionen f_n und f_p des NMOS- und des PMOS-Netzwerks des FCMOS-Gatters auf. 1P
- c) Zeichnen Sie das FCMOS-Gatter als Transistorschaltung¹. 1,5P

Aufgabe 4: Gegeben sind die beiden nachfolgenden KV-Diagramme:



- a) Entwickeln Sie die linke Schaltung einmal nach den Einsen und einmal nach den Nullen. 2,5P
- b) Entwickeln Sie die rechte Schaltung entweder nach den Einsen oder nach den Nullen. Ersetzen Sie »-« (Don't-Care-Felder) vorher so durch '0' oder '1', dass die Schaltung minimal wird. 1,5P

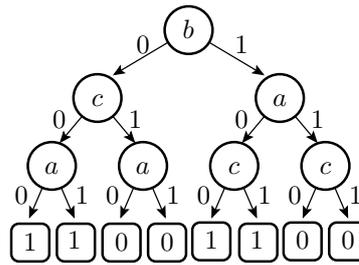
Aufgabe 5: Gegeben ist die nachfolgende Menge von Mintermen, für die die logische Funktion eins ist:

$$K \in \left\{ \underbrace{11010}_a, \underbrace{11001}_b, \underbrace{11011}_c, \underbrace{01001}_d, \underbrace{01010}_e, \underbrace{01000}_f, \underbrace{11000}_g \right\}$$

- a) Stellen Sie nach dem Verfahren von Quine und McCluskey die quineschen Tabellen nullter bis zweiter Ordnung auf. Kennzeichnen Sie die Primterme, die durch keine Konjunktionen in den quineschen Tabellen höherer Ordnung abgedeckt sind. 3P
- b) Wählen Sie aus den Primtermen eine minimale Abdeckungsmenge aus und bestimmen Sie den zugehörigen minimierten logischen Ausdruck. 1P

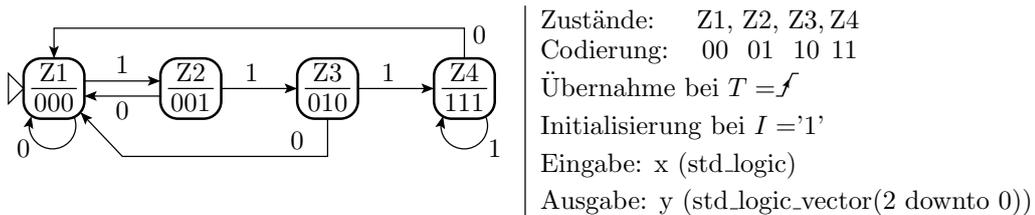
¹Statt der Inverter genügt es, die entsprechenden Ein- oder Ausgangsvariablen als invertiert anzugeben.

Aufgabe 6: Gegeben ist das nachfolgende binäre Entscheidungsdiagramm (BDD):



- a) Stellen Sie die Wertetabelle dazu auf. 1P
- b) Entwickeln Sie aus der Wertetabelle das geordnete binäre Entscheidungsdiagramm (OBDD) mit der Abfragereihenfolge a-b-c. 1P
- c) Minimieren Sie das geordnete binäre Entscheidungsdiagramm zu einem reduzierten geordneten binären Entscheidungsdiagramm (ROBDD). 2P
- d) Entwickeln Sie aus dem ROBDD die Multiplexerschaltung. 1P

Aufgabe 7: Gegeben sind der folgende Automatengraph und die Zustandskodierung:



- a) Füllen Sie die nachfolgende Tabelle für die Übergangs- und die Ausgabefunktion aus. 2P

Zustand, symbolisch	Z1	Z2	Z3	Z4				
Zustand $z_1 z_0$								
Ausgabe y								
Eingabe x	0	1	0	1	0	1	0	1
Folgezustand, symbol.								
Folgezustand $z_1 z_0$								

- b) Gegeben ist die Eingabefolge in der nachfolgenden Tabelle. Ergänzen Sie die die Zustandsfolge und die Ausgabefolge an y_2 . 3P

Eingabe x	0	1	0	0	1	1	0	1	1	1	1	0	
Zustand $z_1 z_0$	Z1												
Ausgabe y_2	0												

- c) Vervollständigen Sie in der nachfolgenden VHDL-Beschreibung des Automaten die Port- und Signalvereinbarungen (Zeile 5-7 und 10), die Beschreibung der Übergangsfunktion (ab Zeile 14) und die Ausgabeanweisung (Zeile 32). 3P

```

1: library IEEE;
2: use IEEE.STD_LOGIC_1164.all;
3: entity Automat is
4: port(
5:   T, I: ...           -- Takt- und Init.-Signal
6:   x: ...             -- Eingangssignal
7:   y: ...             -- Ausgangssignal
8: end;
9: architecture Verhalten of Automat is
10:  signal z: ...       -- Zustandssignal
11: begin
12:  process(T, I)
13:  begin
14:    ...               -- Beschreibung Übergangsfunktion
30:  end process;
32:  y <= ...           -- Ausgabezuweisung
33: end architecture;

```

Aufgabe 8: Zeichnen Sie die Schaltung, die der nachfolgende VHDL-Prozess beschreibt:

2P

```

signal T, a, b: std_logic;
signal x: std_logic_vector(4 downto 1);
signal y: std_logic_vector(1 downto 0);
...
process(T)
  variable z: std_logic;
begin
  if falling_edge(T) then
    if a='1' then
      z <= x(1) or x(2);
    else z := x(3) nand x(4);
    if b='0' then
      y(0) <= z;
    end if;
    y(1) <= z;
  end if;
end process;

```

Zur Bewertung:

Aufgabe	1	2	3	4	5	6	7	8	Summe
max. Punktezahl	6	9	4	4	4	5	8	2	42
erzielte Punktezahl									