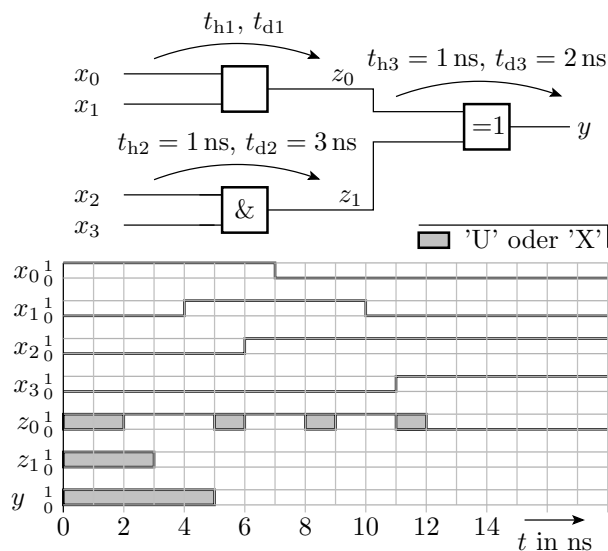


### Prüfungsklausur Entwurf digitaler Schaltungen

**Hinweise:** Die Bearbeitungszeit beträgt 90 Minuten. Schreiben Sie die Lösungen, so weit es möglich ist, auf die Aufgabenblätter. Tragen Sie Namen, Matrikelnummer und Studiengang in die nachfolgende Tabelle ein. Zum Bestehen sind  $\geq 20$  Punkte erforderlich. Geben Sie die Aufgabenblätter zum Schluss mit ab.

Name	Matrikelnummer	Studiengang	Punkte	ZPHÜ*	Note

**Aufgabe 1:** Gegeben ist die nachfolgende Schaltung mit den Halte- und Verzögerungszeiten.



- Bestimmen Sie aus den Signalverläufen von  $z_0$  die logische Funktion sowie die Gatterhaltezeit  $t_{h1}$  und Gatterverzögerungszeit  $t_{d1}$ . 2P
- Ergänzen Sie die Signalverläufe für  $z_1$  und  $y$ . 2P

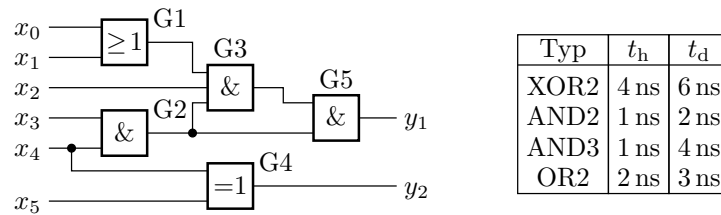
**Aufgabe 2:**

```
variable x1, x2, x3, y1, y2:std_logic:='X';
...
A1: x1 := x1 or '1';
A2: x2 := x3 and '0';
A3: y1 := not(x1 and x2);
A4: y2 := (x1 or x2) xor x3;
```

Welche Werte haben die 5 Variablen nach der Zuweisung?

2P

**Aufgabe 3:**



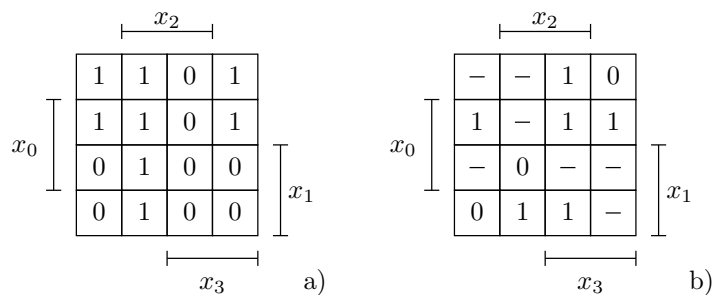
- Bestimmen Sie für alle Pfade durch die Schaltung die Haltezeit  $t_h$  und die Verzögerungszeit  $t_d$ . 5P
- Wie groß sind die Halte- und die Verzögerungszeit der Gesamtschaltung? 1P
- Zeichnen Sie die Schaltung mit Abtastregistern an den Ein- und Ausgängen. Die Register sollen die Vorhaltezeit  $t_s = 2$  ns, die Nachhaltezeit  $t_n = 0$ , die Haltezeit  $t_{hr} = 500$  ps und die Verzögerungszeit  $t_{dr} = 1,5$  ns haben. Wie groß ist die max. Taktfrequenz? 2P
- Extrahieren Sie die logische Gleichung zur Berechnung von  $y_1$  und vereinfachen Sie diese. Welches Gatter kann weggelassen werden, ohne dass sich die logische Funktion ändert?

**Aufgabe 4:** Gegeben ist die nachfolgende durch ein FCMOS-Gatter zu realisierende Funktion:

$$z = \overline{x_1 x_3 \bar{x}_4 \vee x_1 x_3 x_4 \vee x_2 x_3 \bar{x}_4 \vee x_2 x_3 x_4 \vee \bar{x}_4 x_5 \vee x_4 x_5}$$

- Vereinfachen Sie die logische Funktion soweit wie möglich. 1,5P
- Stellen Sie die Funktionen  $f_n$  und  $f_p$  des NMOS- und des PMOS-Netzwerks des FCMOS-Gatters auf. 1P
- Zeichnen Sie das FCMOS-Gatter als Transistorschaltung<sup>1</sup>. 1,5P

**Aufgabe 5:** Gegeben sind die beiden nachfolgenden KV-Diagramme:



- Entwickeln Sie die linke Schaltung nach den Einsen. 1P
- Entwickeln Sie die rechte Schaltung nach den Nullen. Ersetzen Sie »-« (Don't-Care-Felder) so durch '0' oder '1', dass die Schaltung minimal wird. 2P

<sup>1</sup>Statt der Inverter genügt es, die entsprechenden Ein- oder Ausgangsvariablen als invertiert anzugeben.

**Aufgabe 6:** Gegeben ist die nachfolgende Menge von Mintermen, für die die logische Funktion eins ist:

$$K \in \left\{ \underbrace{10101}_a, \underbrace{11100}_b, \underbrace{10100}_c, \underbrace{11101}_d, \underbrace{00111}_e, \underbrace{01010}_f, \underbrace{00010}_g \right\}$$

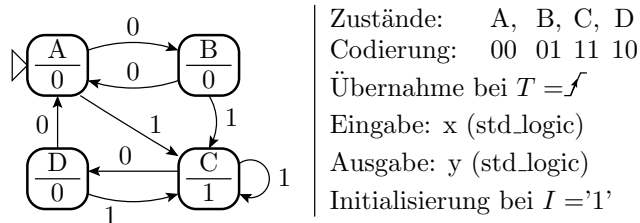
- Stellen Sie nach dem Verfahren von Quine und McCluskey die quineschen Tabellen nullter bis zweiter Ordnung auf. Kennzeichnen Sie die Primterme, die durch keine Konjunktionen in den quineschen Tabellen höherer Ordnung abgedeckt sind. 3P
- Wählen Sie aus den Primtermen eine minimale Abdeckungsmenge aus und bestimmen Sie den zugehörigen minimierten logischen Ausdruck. 1P

**Aufgabe 7:** Gegeben ist die nachfolgende Wertetabelle:

<i>c</i>	0	1	0	1	0	1	0	1
<i>d</i>	0	0	1	1	0	0	1	1
<i>e</i>	0	0	0	0	1	1	1	1
<i>z</i>	1	1	0	1	1	1	0	0

- Stellen Sie ein geordnetes binäres Entscheidungsdiagramm (OBDDD) mit der Abfragerihenfolge c-e-d dafür auf. 1P
- Entwickeln Sie aus dem geordneten binären Entscheidungsdiagramm das reduzierte geordnete binäre Entscheidungsdiagramm (ROBDD). 2P
- Entwickeln Sie zu dem ROBDD die Multiplexerschaltung und vereinfachen Sie diese durch Ersatz der Multiplexer mit konstanten Eingaben durch funktionsgleiche Gatterschaltungen. 2P

**Aufgabe 8:** Gegeben sind der folgende Automatengraph und die Zustandscodierung:



- Füllen Sie die nachfolgende Tabelle für die Übergangs- und die Ausgabefunktion aus. 2P

Zustand, symbolisch	A		B		C		D	
Zustand $z_1 z_0$								
Ausgabe $y$								
Eingabe $x$	0	1	0	1	0	1	0	1
Folgezustand, symbol.								
Folgezustand $z_1 z_0$								

- Bestimmen Sie die Ein- und Ausgabefolge zur Zustandsfolge: ABABCCDABCCDC. 3P
- Vervollständigen Sie in der nachfolgenden VHDL-Beschreibung die Port- und Signalvereinbarungen (Zeile 5-7 und 10), die Beschreibung der Übergangsfunktion des Automaten (ab Zeile 14) und die Ausgabeanweisung (Zeile 32). 3P

```

1: library IEEE;
2: use IEEE.STD_LOGIC_1164.all;
3: entity Automat is
4: port(
5:   T, I: ...           -- Takt- und Init.-Signal
6:   x: ...             -- Eingangssignal
7:   y: ...             ); -- Ausgangssignal
8: end;
9: architecture Verhalten of Automat is
10:  signal z: ...       -- Zustandssignal
11: begin
12:  process(T, I)
13:  begin
14:    ...               -- Beschreibung Übergangsfunktion
30:  end process;
32:  y <= ...           -- Ausgabezuweisung
33: end architecture;

```

**Aufgabe 9:** Zeichnen Sie die Schaltung, die der nachfolgende VHDL-Prozess beschreibt:

2P

```

signal T, a, b, c, d, x: std_logic;
signal y: std_logic_vector(1 downto 0);
...
process(T)
begin
  if rising_edge(T) then
    if x='0' then
      y(1) <= c xor d;
    else
      y(0) <= a and b; y(1) <= y(0);
    end if;
  end if;
end process;

```

**Zur Bewertung:**

Aufgabe	1	2	3	4	5	6	7	8	9	Summe
max. Punktezahl	4	2	10	4	3	4	5	8	2	42
erzielte Punktezahl										