

### Prüfungsklausur Entwurf digitaler Schaltungen

**Hinweise:** Die Bearbeitungszeit beträgt 90 Minuten. Schreiben Sie die Lösungen, so weit es möglich ist, auf die Aufgabenblätter. Tragen Sie Namen, Matrikelnummer und Studiengang in die nachfolgende Tabelle ein. Zum Bestehen sind  $\geq 20$  Punkte erforderlich. Geben Sie die Aufgabenblätter zum Schluss mit ab.

Name	Matrikelnummer	Studiengang	Punkte	ZPHÜ*	Note

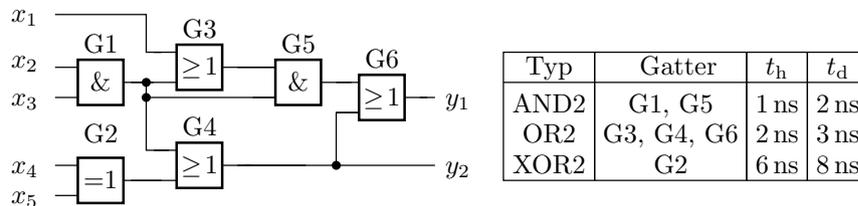
\* Zusatzpunkte für Hausübungen

Ich erkläre mich damit einverstanden, dass das Klausurergebnis im Internet auf der Web-Seite <http://techwww.in.tu-clausthal.de/> unter meiner Matrikelnummer bekanntgegeben wird.

Unterschrift

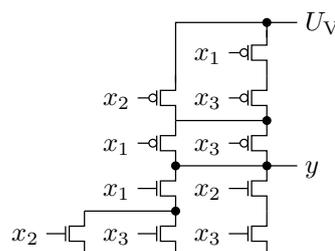
---

**Aufgabe 1:** Gegeben ist die nachfolgende Schaltung mit den Halte- und Verzögerungszeiten für jeden Gattertyp.



- Bestimmen Sie für alle Pfade durch die Schaltung die Halte- und die Verzögerungszeiten. 4P
- Wie groß ist die Halte- und die Verzögerungszeit der Gesamtschaltung? 2P
- Bestimmen Sie die logischen Ausdrücke für die Bildung von  $y_1$  und  $y_2$  und vereinfachen Sie diese, wenn möglich. 2P

**Aufgabe 2:** Gegeben ist die nachfolgende Gatterschaltung aus NMOS- und PMOS-Transistoren:



- a) Bestimmen Sie die Funktionen  $f_n$  und  $f_p$  des NMOS- und des PMOS-Netzwerks. 2P
- b) Handelt es sich um ein FCMOS-Gatter? Wenn ja, zeigen Sie, dass für alle Eingabemöglichkeiten  $f_n = \overline{f_p}$  gilt. Wenn nein, zeigen Sie für mindestens eine Eingabebelegung, dass  $f_n = \overline{f_p}$  nicht gilt. 1P

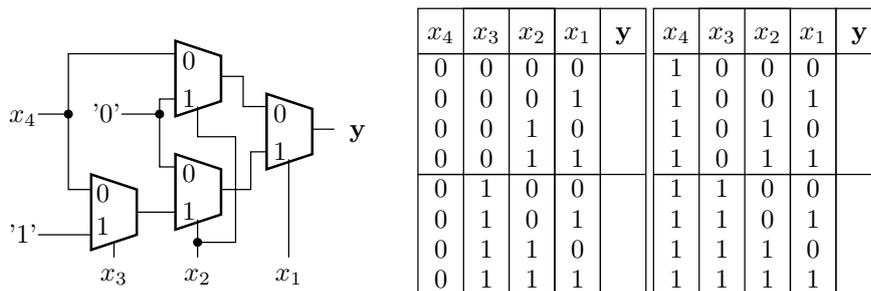
**Aufgabe 3:** Gegeben ist das nachfolgende KV-Diagramm:

	$\overbrace{\hspace{1.5cm}}^{x_2}$				
	1	1	0	1	
$\overbrace{\hspace{1cm}}^{x_0}$	1	0	1	0	$\overbrace{\hspace{1cm}}^{x_1}$
	0	0	1	0	
	1	1	1	1	
	$\underbrace{\hspace{1.5cm}}_{x_3}$				

Lesen Sie den minimierten logischen Ausdruck ab.

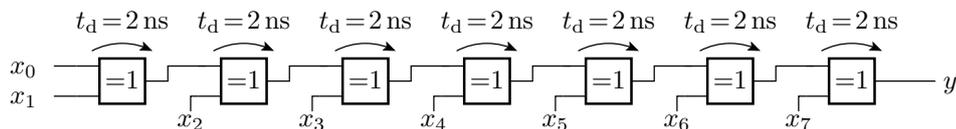
3P

**Aufgabe 4:** Gegeben ist die nachfolgende Schaltung aus Multiplexern:



- a) Füllen Sie die Wertetabelle rechts im Bild aus. 2P
- b) Beschreiben Sie die logische Funktion der Schaltung durch ein binäres Entscheidungsdiagramm. 2P

**Aufgabe 5:** Gegeben ist die nachfolgende Schaltung zur Berechnung der Parität eines Byte-Vektors:

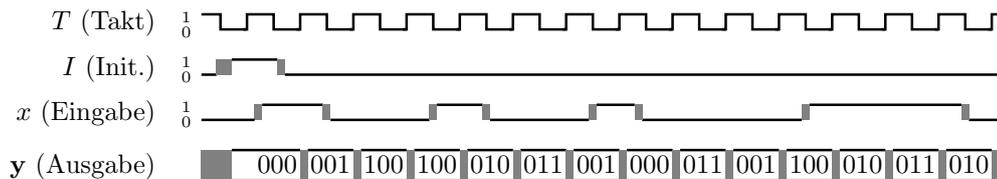


- a) Bestimmen Sie die maximale Verzögerungszeit. 1P
- b) Zeichnen Sie die Schaltung unter Verwendung derselben EXOR-Gatter so um, dass die maximale Verzögerungszeit weniger als halb so groß ist wie in der Originalschaltung. Geben Sie für die geänderte Schaltung die maximale Verzögerungszeit an. 1P

### Aufgabe 6:

- a) Was sind Glitches und wodurch entstehen Sie? 1P
- b) Bei welchem Signaltyp in einer digitalen Schaltung sind Glitches unbedingt zu vermeiden, damit sich die Schaltungen reproduzierbar verhalten? 1P

**Aufgabe 7:** Gegeben sind die mit einem Logikanalysator aufgenommenen Zeitverläufe an den Anschlüssen eines Automaten. »T« ist der Takt, »I« ein high-aktives Initialisierungssignal, »x« ein 1 Bit-Eingabesignal und »y« ein 3 Bit-Ausgabesignal. Der Zustand ist gleich der Ausgabe und die im Bild fehlenden Ausgabewerte sind unzulässig und treten nicht auf.



- a) Mit welcher Taktflanke schaltet der Automat weiter? Handelt es sich um einen Moore- oder Mealy-Automaten? 1P
- b) Konstruieren Sie den Ablaufgraph des Automaten. Genügt die Eingabefolge, um den Ablaufgraph eindeutig zu beschreiben oder gibt es weitere Lösungen? 4P
- c) Wie viele genutzte Zustände und wie viele redundante Zustände hat der Automat? 1P
- d) Vervollständigen Sie die nachfolgende VHDL-Beschreibung des Automaten. 3P

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;
entity Automat is
port( T, x, I: ... --bitte vervollständigen
      y: ... --bitte vervollständigen
end;
architecture Verhalten of Automat is
signal Zustand: std_logic_vector(2 downto 0);
begin
process --bitte vervollständigen
begin
... --bitte vervollständigen
end process;
y <= Zustand;
end architecture;
```

**Aufgabe 8:** Gegeben ist die Architekturbeschreibung des VHDL-Testrahmens für den Automaten aus der Aufgabe zuvor:

```

library IEEE;
use IEEE.STD_LOGIC_1164.all;
entity Test_Automat is end entity;
architecture a1 of Test_Automat is
  signal T, x, I: std_logic;
  signal y: std_logic_vector(2 downto 0);
  constant tp: delay_length := 10 ns;
begin
  DUT: entity work.Automat port map(T, x, I, y);
  process
    constant xv: std_logic_vector(0 to 10) := ("X0010011100");
  begin
    for idx in 0 to 10 loop
      x <= 'X' after 2 ns, xv(idx) after 4 ns;
      T <= '0' after tp/2, '1' after tp;
      wait for tp;
    end loop;
    wait;
  end process;
  I <= '0' after 5 ns, '1' after 10 ns, '0' after 20 ns;
end architecture;

```

- a) Bestimmen Sie die Signalverläufe der bereitgestellten Eingabesignale »T«, »I« und »x«. 4P
- b) Wozu dient die Wait-Anweisung vor »end process« bzw., was passiert, wenn man sie weglässt? 1P

**Aufgabe 9:**

- a) Warum werden bei DRAM-Schaltkreisen die Zeilen- und Spaltenadressen nacheinander statt zeitgleich übertragen? 1P
- b) Wozu braucht ein DRAM-Schaltkreis Auffrischzyklen? 1P

**Aufgabe 10:** Welchen dezimalen Werte besitzen die nachfolgenden VHDL-Konstanten:

- a) constant cu: unsigned(5 downto 0) := "100111"; 1P
- b) constant cs: signed(5 downto 0) := "100111"; 1P

**Zur Bewertung:**

Aufgabe	1	2	3	4	5	6	7	8	9	10	Summe
max. Punktezahl	8	3	3	4	2	2	9	5	2	2	40
erzielte Punktezahl											