



Elektronik II

Foliensatz 6: Fertigung und Schaltungstechnik

G. Kemnitz

Institut für Informatik, TU Clausthal (E2-F6)
9. Juli 2024



Inhalt F6: Fertigung und Schaltungstechnik

Fertigung

- 1.1 Bipolar-Prozess
- 1.2 Widerstände und Kapazitäten
- 1.3 CMOS-Prozess

I- und *U*-Quellen

- 2.1 Transistor als Stromquelle

- 2.2 Stromspiegel

- 2.3 Referenzspannungen

Verstärker

- 3.1 Kaskodenschaltung

- 3.2 Differenzverstärker

- 3.3 Impedanzwandler



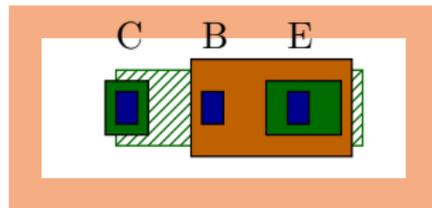
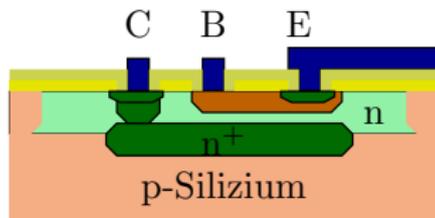
Fertigung



Bipolar-Prozess

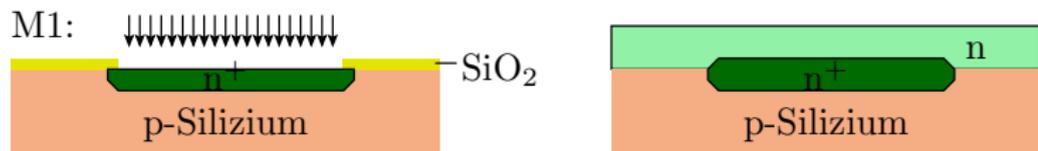
Zu fertigender Bipolartransistor

Integrierter Bipolartransistor aus [1]:



- hochdotiertes n-Gebiet als vergrabender Kollektor,
- aufgewachsene geringdotierte n-Schicht,
- implantierter hochdotierter n-Kollektor-Sinker,
- eindiffundierte mitteldotierte p-Basis-Wanne,
- eindiffundierter hochdotierter n-Emitter.

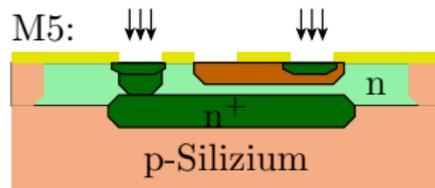
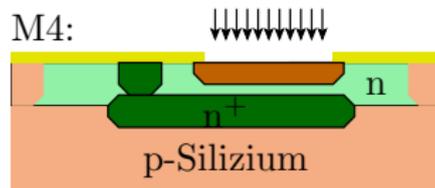
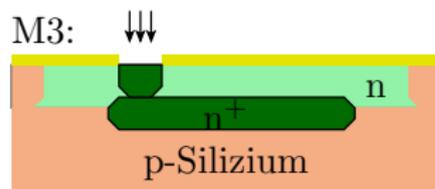
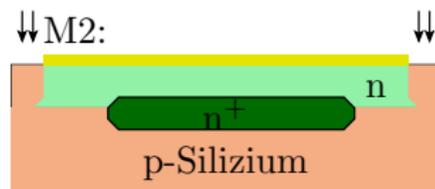
Fertigungsschritte



Angangsmaterial oxidiertes Silizium-Wafer.

Maske 1: vergrabener Kollektor.

- Photolack, Belichtung und Lackentfernung über den Kollektorgebieten,
- Ätzen von Löchern in SiO_2 ,
- Ionenimplantation mit Arsen,
- Entfernung des SiO_2 ,
- Epitaktisches Auftragen einer $12\ \mu\text{m}$ n-dotierten Silizium-Schicht. Die vergrabene Kollektorschichten dehnen sich dabei auf ca. $7,5\ \mu\text{m}$ aus.



Maske 2: Definition Transistorabmessungen durch Randisolation.

- oxidieren, Photolack, Ätzen von Löchern in SiO₂,
- Ionenimplantation Bor durch neu gewachsenes SiO₂.

Maske 3: Kollektoranschlüsse (Sinkler).

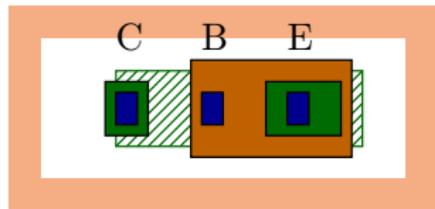
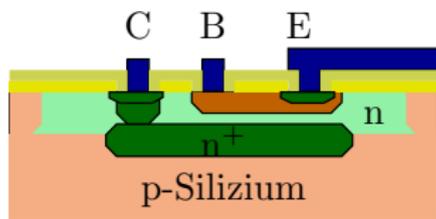
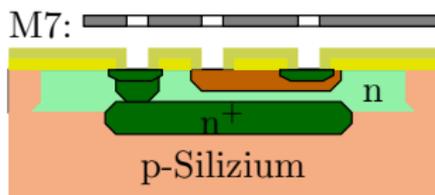
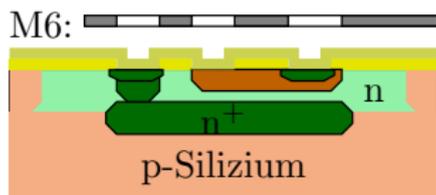
- Zweischrüttige Diffusion (Vorbelgung, Drive-In).

Maske 4: Basis-Wanne.

- Diffusion Bor, Tiefe ca. 3µm.

Maske 5: Kollektor, Emitter-Kontaktschicht.

- Diffusion Phosphor. Tiefe 2 µm, Basisbreit 1 µm.



Maske 6: Löcher für Kapazitäten und Anschlüsse.

- oxidieren, Photolack, Ätzen von Löchern in SiO_2 ,
- CVD-Abscheidung Si_3N_4 (Siliziumnidrid, als Dielektrikum für Kapazitäten)

Maske 7: Kontaktöffnungen ($6 \times 6 \mu\text{m}$).

- Sputterbeschicht Metall.

Weitere Masken- und Beschichtungsschritte zur Fertigung von Leiterbahnen und Isolationsschichten mit Durchkontaktierungen.

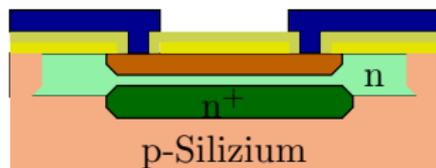
Abdeckung mit Passivierungsschicht, ...



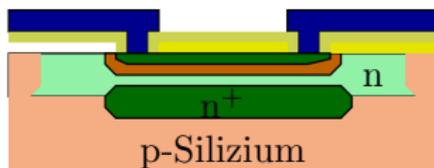
Widerstände und Kapazitäten

Fertigung von Widerständen

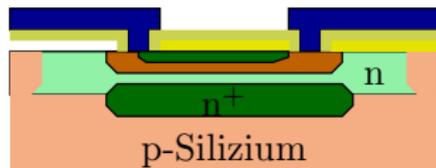
Basis-diffundierter Widerstand



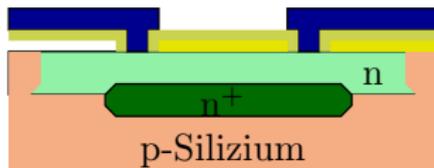
Emitter-diffundierter Widerstand



Base-Pinch-Widerstand



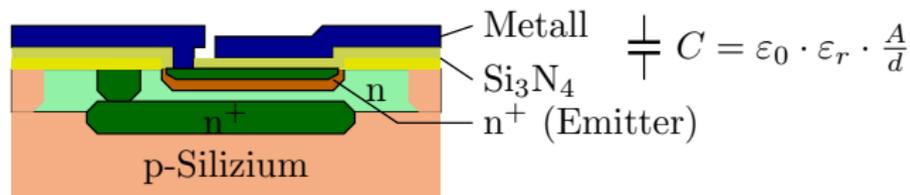
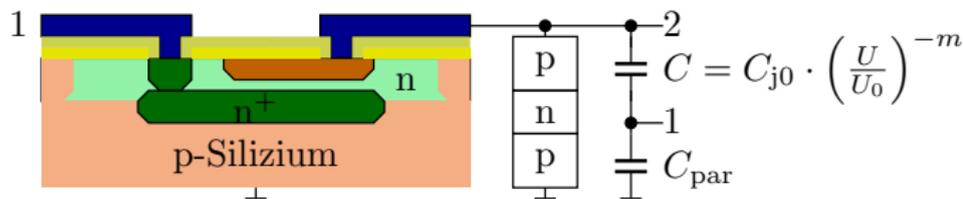
Epi-Widerstand



- Basisschicht: $\approx 200\Omega/\square$, $\epsilon_{\text{abs}} \approx 25\%$, $\epsilon_{\text{rel}} \approx 2\%$
- Emitterschicht: $\approx 5\Omega/\square$, $\epsilon_{\text{abs}} \approx 25\%$, $\epsilon_{\text{rel}} \approx 2\%$
- Emitter eingeschnürte Basissch. $\approx 5\text{k}\Omega/\square$, $\epsilon_{\text{abs}} \approx 100\%$, $\epsilon_{\text{rel}} \approx 5\%$
- Epitaxi-Schicht: $\approx 5\text{k}\Omega/\square$, $\epsilon_{\text{abs}} \approx 50\%$, $\epsilon_{\text{rel}} \approx 3\%$

(ϵ_{abs} – absolute Fertigungstoleranz; ϵ_{rel} – relative Fertigungstoleranz;
 Ω/\square – Ohm je Quadrat, größer Fläche kleinere Toleranzen).

Fertigung von Kapazitäten

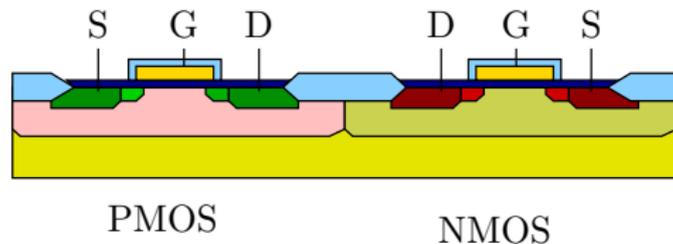


- Basis-Emitter-Sperrschicht. $C \approx 200 \text{ aF}/\mu\text{m}^2$, $C_{\text{par}} \approx 100 \text{ aF}/\mu\text{m}^2$, Abnahme mit steigender Sperrspannung
 - Metall-Siliziumnidrid-Kollektorsicht. $C \approx 500 \text{ aF}/\mu\text{m}^2$
- (aF – Atto Farad, $1 \text{ aF} = 10^{-18} \text{ F}$).



CMOS-Prozess

Halbleiterquerschnitt CMOS-Inverter



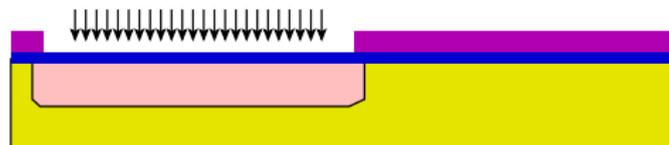
-  p-Silizium
-  p-Wanne
-  p-Gebiet
-  p⁺-Gebiet
-  n-Wanne
-  n-Gebiet
-  n⁺-Gebiet
-  Gateoxid
-  Feldoxid
-  Gate
-  Siliziumnitrit

Beispiel CMOS-Prozess

p-dotierter Ausgangswafer mit
 $\text{SiO}_2/\text{Ni}_3\text{O}_4$ -Doppelschicht



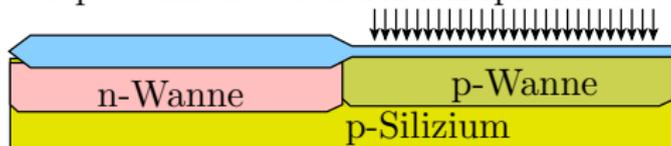
Erzeugung der n-Wannen mittels
Ionen-Implantation mit Maske 1



-  p-Silizium
-  p-Wanne
-  p-Gebiet
-  p^+ -Gebiet
-  n-Wanne
-  n-Gebiet
-  n^+ -Gebiet
-  Gateoxid
-  Feldoxid
-  Gate
-  Siliziumnitrit

Bis Maske 2 für die aktiven Gebiete

Selbststrierender Prozess zur Erzeugung der p-Wannen durch Ionenimpl. mit Bor

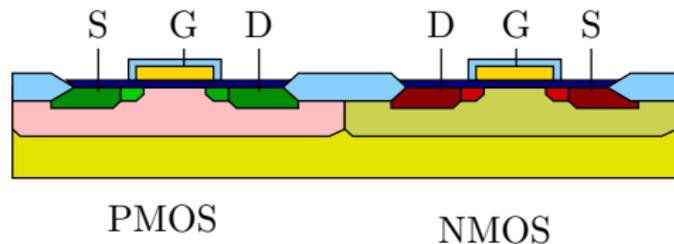


Definition der aktiven Gebiete über Maske 2 (Siliziumnitrit)



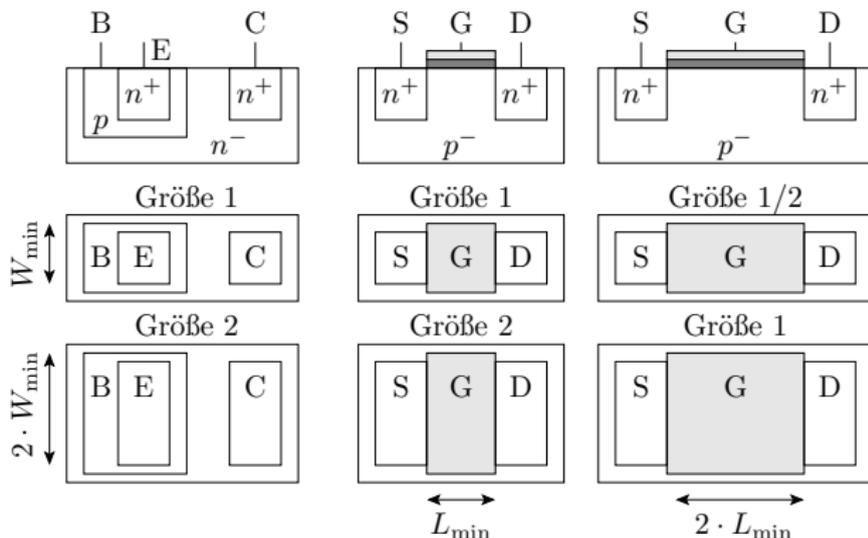
-  p-Silizium
-  p-Wanne
-  p-Gebiet
-  p^+ -Gebiet
-  n-Wanne
-  n-Gebiet
-  n^+ -Gebiet
-  Gateoxid
-  Feldoxid
-  Gate
-  Siliziumnitrit

... bis fertige Transistoren



- p-Silizium
- p-Wanne
- p-Gebiet
- p^+ -Gebiet
- n-Wanne
- n-Gebiet
- n^+ -Gebiet
- Gateoxid
- Feldoxid
- Gate
- Siliziumnitrit

Skalierung und Toleranzen



Die Verhältnisse der

- Sättigungsströme I_S (Bipolartransistoren)
- Steilheiten K (MOSFETs)
- Widerstandswert und Kapazität

recht genau genau über die Skalierung einstellen.

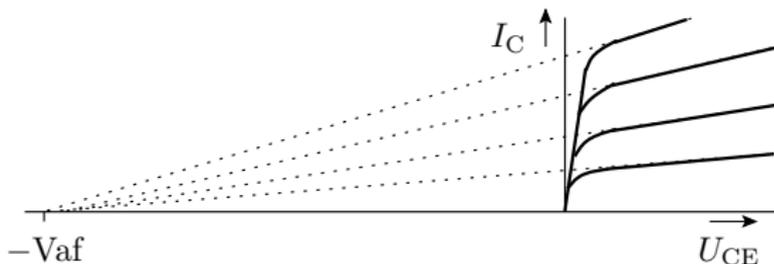


I - und U -Quellen



Transistor als Stromquelle

Prinzip einer Stromquelle

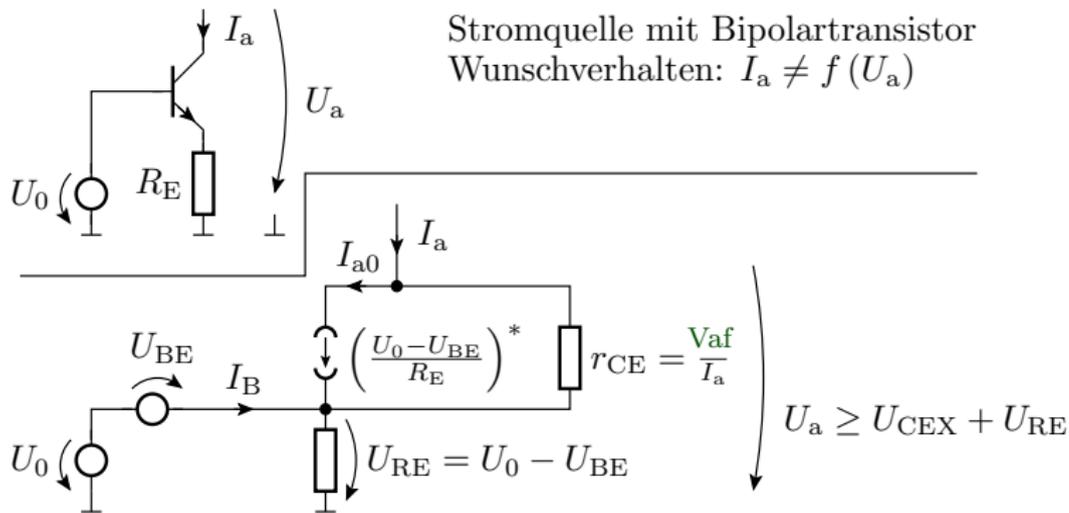


Die Kennlinie $I_C(U_{CE})$ eines Bipolartransistors im Normalbetrieb hat einen sehr geringen Anstieg, der mit der Early-Spannung und umgekehrt proportional zum Kollektorstrom abnimmt:

$$r_{CE} = \frac{dU_{CE}}{dI_C} \approx \frac{V_{af}}{I_{C,A}}$$

Gleiches gilt Feldeffekt-Transistoren (J-FET, MesFET, MOS-FET) im Einschnürrbereich.

Große Early-Spannung V_{af} verlangt große Basisbreite bzw. Kanallänge.



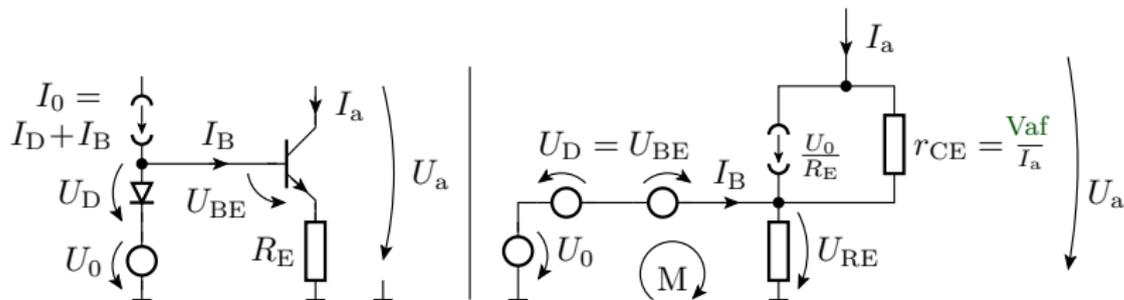
* Näherung $\frac{I_C}{I_E} = 1$ und Vernachlässigung des Stroms durch r_{CE}

$$I_{a0} \approx I_E = I_S \cdot \left(e^{\frac{U_{BE}}{n_f \cdot U_T}} - 1 \right)$$

$$U_{BE} = n_f \cdot U_T \cdot \ln \left(\frac{I_{a0}}{I_S} \right)$$

Da I_a konstant sein soll, ist U_{BE} tatsächlich hier eine bekannte, allerdings stark temperaturabhängige Größe.

Kompensation Temperaturabhängigkeit



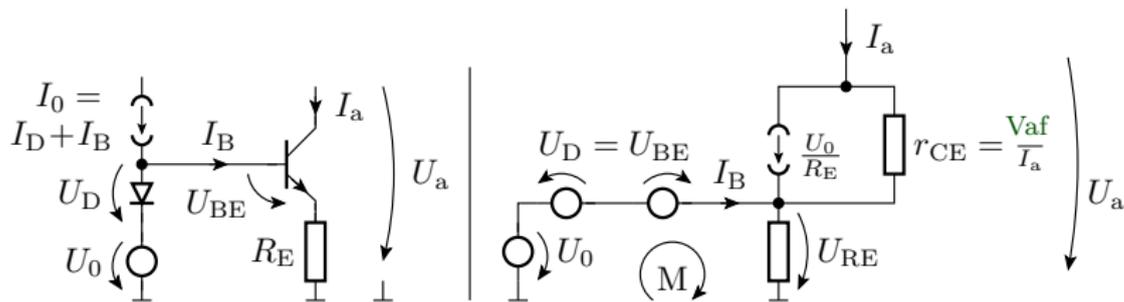
Einbau einer Diode so, dass sie den Spannungsabfall U_{BE} in der Masche M kompensiert:

$$U_D = n f_D \cdot U_T \cdot \ln \left(\frac{I_D}{I_{SD}} \right) = U_{BE} = n f_{Tr} \cdot U_T \cdot \ln \left(\frac{I_a}{I_{STr}} \right)$$

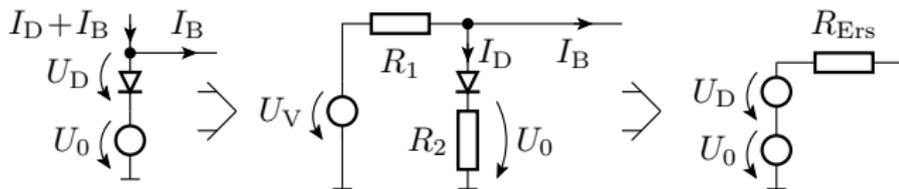
subtrahiert wird. Verlangt für $n f_D = n f_{Tr}$ einen Diodenstrom

$$I_D = I_a \cdot \frac{I_{SD}}{I_{STr}}$$

Am besten eignet sich für die Diode ein identischer Transistor mit skaliertem Breite. Die Quellen für U_0 und I_0 sind ersetzbar ...



Die Quellen für U_0 und I_0 sind ersetzbar durch Versorgungsspannung und zwei Widerstände:

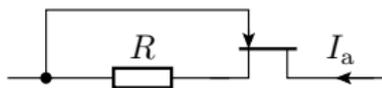
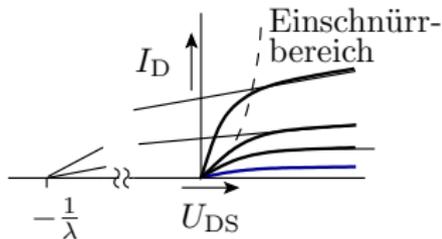
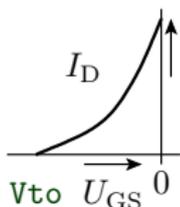
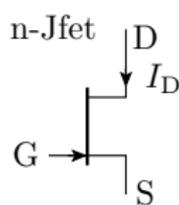


Der Ersatzwiderstand sollte deutlich kleiner als der Eingangswiderstand der restlichen Transistorschaltung sein

$$R_{\text{Ers}} = R_1 \parallel (R_2 + r_D) = R_1 \parallel \left(R_2 + \frac{n f_D \cdot U_T}{I_D} \right) \ll \beta \cdot R_E$$

um die Abhängigkeit von I_B und damit von β klein zu halten.

Elegante Lösung mit selbstleitendem JFET



V_{t0} Einschaltspannung
 λ Kanallängenmod.

Stromgleichung im Einschnürrbereich:

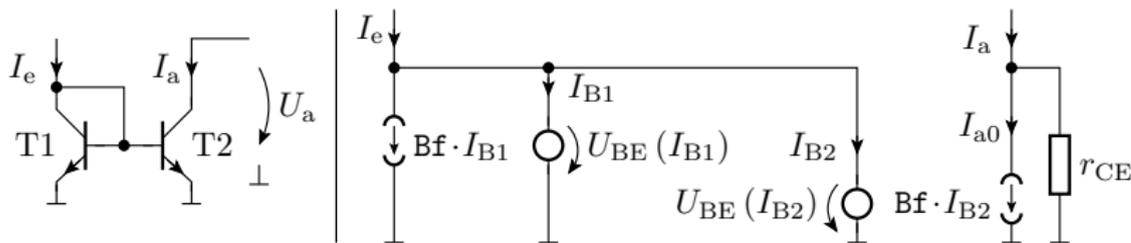
$$I_D = \text{Beta} \cdot (1 + \text{Lambda} \cdot U_{DS}) \cdot (U_{GS} - V_{t0})^2$$

- Verringerbar durch einen Widerstand $R > 0$.
- Als Zweipolbauteil realisierbar.
- I_D hängt dann hauptsächlich von V_{t0} und R und damit nur wenig von der Temperatur ab.



Stromspiegel

Einfacher Stromspiegel



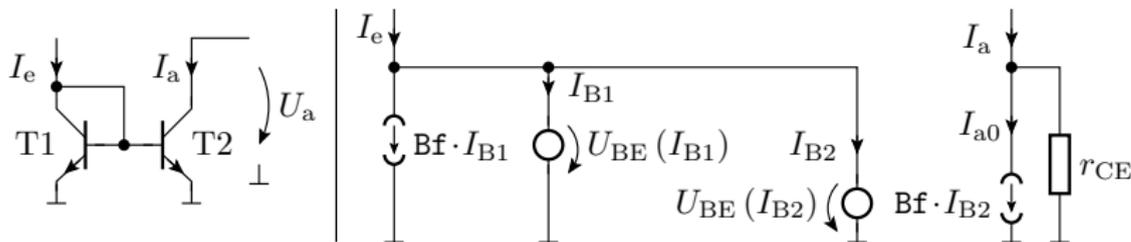
Transistoren seien außer I_S identisch. Daraus folgt für die Basisströme:

$$I_B = \frac{I_S}{\text{Bf}} \cdot \left(e^{\frac{U_{BE}}{\text{Nf} \cdot U_T}} - 1 \right)$$

$$U_{BE} = \text{Nf} \cdot U_T \cdot \left(\ln \left(\frac{I_{B1} \cdot \text{Bf}}{I_{S1}} \right) + 1 \right) = \text{Nf} \cdot U_T \cdot \left(\ln \left(\frac{I_{B2} \cdot \text{Bf}}{I_{S2}} \right) + 1 \right)$$

$$\frac{I_{B2}}{I_{B1}} = \frac{I_{S2}}{I_{S1}} = k_I$$

Stromspiegelverhältnis k_I einstellbar über die Transistorbreiten.



$$\frac{I_{B2}}{I_{B1}} = \frac{I_{S2}}{I_{S1}} = k_I$$

Der Ausgangsstrom I_a ist etwa der k_I -fache Eingangsstrom:

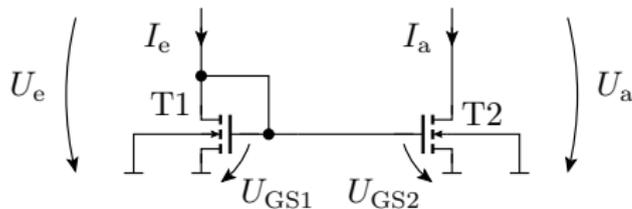
$$I_e = (\text{Bf} + 1) \cdot I_{B1} + I_{B2} = (\text{Bf} + 1 + k_I) \cdot I_{B1}$$

$$I_{a0} = \text{Bf} \cdot I_{B2} = \text{Bf} \cdot k_I \cdot I_{B1}$$

$$\frac{I_{a0}}{I_e} = \frac{\text{Bf} \cdot k_I}{(\text{Bf} + 1 + k_I)}$$

- Erfordert integrierte Transistoren:
 - mit gleichem N_f ,
 - gleicher und großer Stromverstärkung Bf ,
 - genau einstellbarem I_{S1}/I_{S2} -Verhältnis.
- Endlicher Ausgangswiderstand durch Early-Effekt.

Stromspiegel mit MOS-Transistoren



Stromgleichung MOS-Transistor im Abschnürrbereich ohne Early-Effekt:

$$I_D = K_p \cdot \frac{(U_{GS} - U_{th})^2}{2}$$

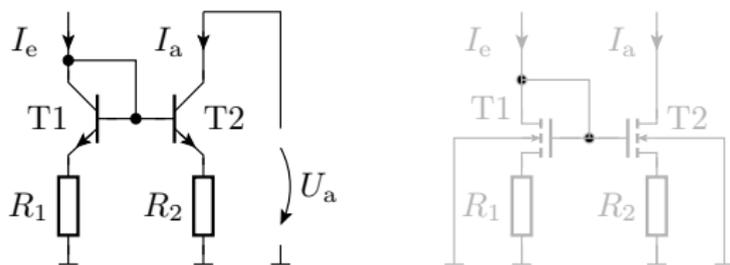
$$U_{GS} = U_{th} + \sqrt{\frac{2 \cdot I_D}{K_p}}$$

Für Transistoren mit übereinstimmender Einschaltspannung U_{th} :

$$\sqrt{\frac{2 \cdot I_e}{K_{p1}}} = \sqrt{\frac{2 \cdot I_a}{K_{p2}}}$$

$$\frac{I_a}{I_e} = k_I = \frac{K_{p2}}{K_{p1}}$$

Stromgegenkopplung für diskrete Aufbauten



Für diskrete Transistoren Stabilisierung des Spiegelverhältnisses mit $R_1, R_2 > 0$ und $k_I = \frac{R_2}{R_1}$ erforderlich.

$$(I_{C1} + I_{B1}) \cdot R_1 + U_{BE1} = (I_{C2} - I_{B2}) \cdot R_2 + U_{BE2}$$

$$I_{C1} = I_{S1} \cdot e^{\frac{U_{BE1}}{U_T}} \quad (*)$$

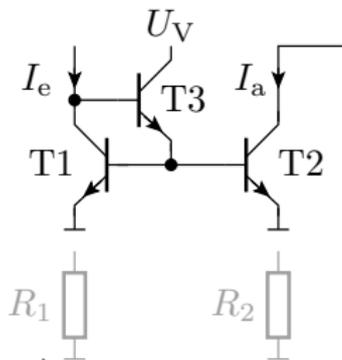
$$I_{C2} = I_{S2} \cdot e^{\frac{U_{BE2}}{U_T}} \cdot \left(1 + \frac{V_{af}}{U_a + V_{af}} \right)$$

(*) Für T1 ist der Early-Effekt vernachlässigbar, da U_{CE} sehr klein.

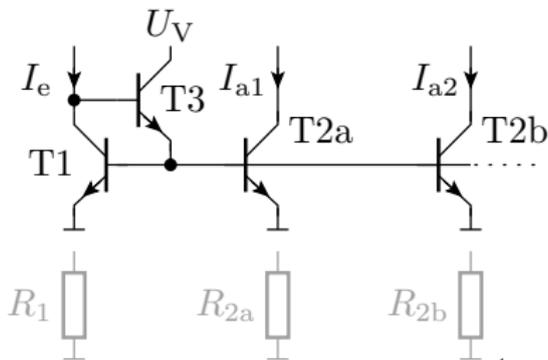


Eliminierung von Fehlern durch niedrige Verstärkung mit einem dritten Transistor, der hier den Basisstrom für die anderen beiden Transistoren liefert.

verbesserter Stromspiegel



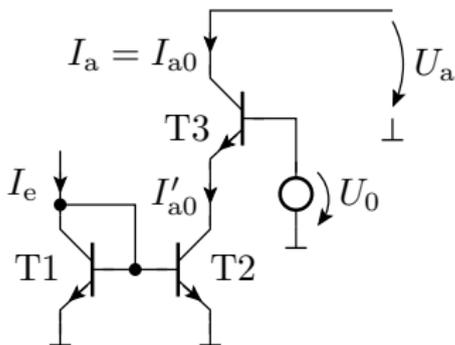
Erweiterung zur Strombank



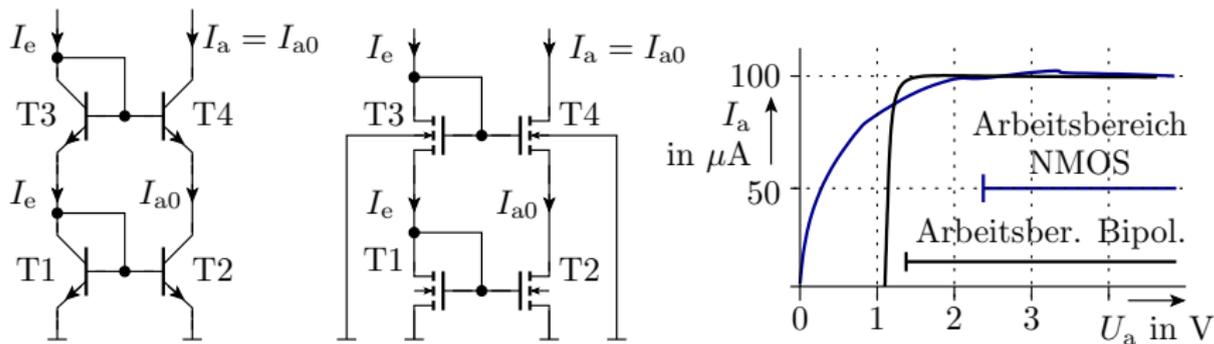
bei diskretem Aufbau

Stromspiegel mit Kaskode

- Kaskodenschaltung (Reihenschaltung einer Emitterschaltung und einer Basisschaltung)
- Eliminierung der Zunahme von I_a mit U_a (Einfluss Early-Effekt).
- U_{CE} von T2 wird näherungsweise konstant gehalten.
- T3 gibt seinen Emitterstrom mit einem Spiegelverhältnis k_I an den Kollektor weiter.
- Der Early-Effekt von T3 und damit U_{CE3} und U_a haben kaum Einfluss auf I_a
- Ausgangswiderstand $\rightarrow \infty$.



Vollständiger Kaskodenstromspiegel

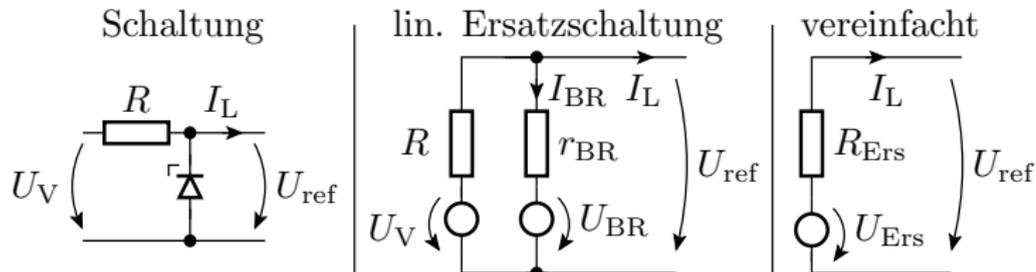


- Reihenschaltung von zwei Stromspiegeln.
- Stromspiegel mit Kaskode und automatischer Arbeitspunkteinstellung.
- Besteht nur aus Transistoren (integrationsfreundlich).
- Mindestausgangsspannung mit Bipolartransistoren niedriger.



Referenzspannungen

Referenzspannungen mit Z-Dioden



$$U_{\text{Ers}} = U_{\text{BR}} + \frac{r_{\text{BR}}}{R + r_{\text{BR}}} \cdot (U_{\text{V}} - U_{\text{BR}})$$

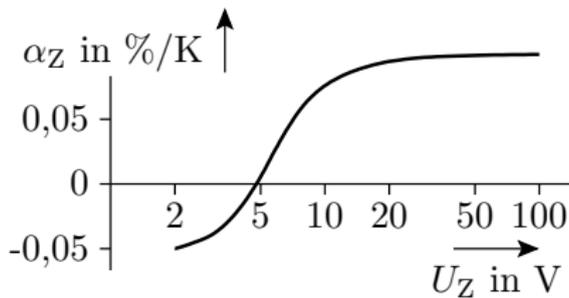
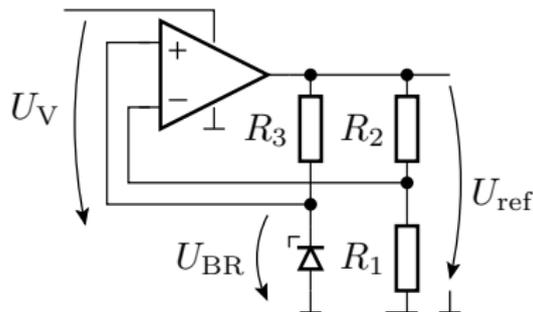
$$r_{\text{Ers}} = R \parallel r_{\text{BR}} = R \parallel \left(\frac{U_{\text{T}}}{I_{\text{BR}}} + R_{\text{s}} \right)$$

Unterdrückung von Eingangsspannungsschwankungen:

$$\frac{dU_{\text{ref}}}{dU_{\text{V}}} = \frac{r_{\text{BR}}}{R + r_{\text{BR}}}$$

Verbesserung durch Ersatz von R durch eine Stromquelle, oder ...

Z-Diodenstrom aus der geregelten Spannung



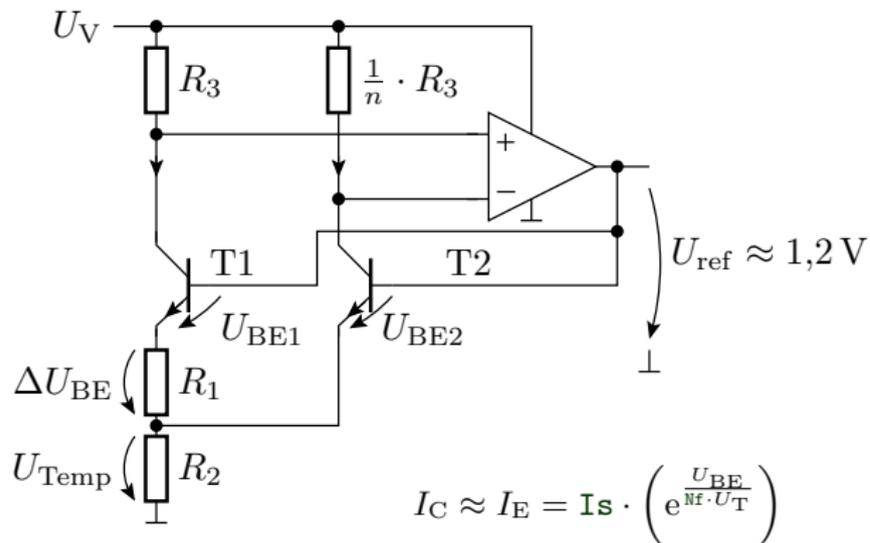
$$U_{\text{ref}} = \left(1 + \frac{R_2}{R_1}\right) \cdot U_{\text{BR}}$$

(α_Z – Temperaturkoeffizient, relative Änderung Durchbruchspannung pro °Kelvin). Verfügbar als IC¹ mit:

- U_{Ref} fest/einstellbar 5 V bis 10 V
- Ausgangsstrom ± 10 mA
- Temperatur-Koeffizient $10^{-6}/\text{K}$

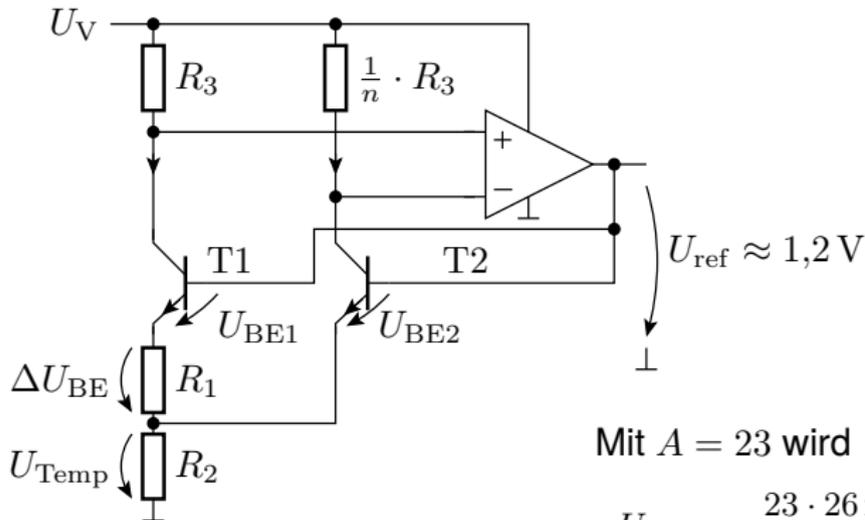
¹z.B. AD 558, LT 1021

Bandabstands-Referenz



$$\Delta U_{BE} = U_{BE2} - U_{BE1} \approx U_T \cdot \ln \left(\frac{I_{C2}}{I_{C1}} \right) = U_T \cdot \ln(n)$$

$$U_{Temp} = R_2 \cdot \left(\frac{\Delta U_{BE}}{R_1} \cdot (1+n) \right) = U_T \cdot \underbrace{\frac{R_2}{R_1} \cdot \ln(n) \cdot (1+n)}_A = A \cdot U_T$$



Mit $A = 23$ wird

$$U_{\text{Temp}} = \frac{23 \cdot 26 \text{ mV}}{300 \text{ K}} \cdot T = 2 \frac{\text{mV}}{\text{K}} \cdot T$$

und der Temperaturkoeffizient BE-Übergang BT-Transistor $\frac{dU_{\text{BE}}}{dT} \approx -2 \frac{\text{mV}}{\text{K}}$ kompensiert. U_{ref} wird die Bandabstandsspannung.

- Beispiel für Widerstandswahl: $n = 10$ und $R_1 = R_2$.
- Statt unterschiedlicher Kollektorzweige gehen auch unterschiedliche Transistorbreiten.
- Mit zusätzlichem Spannungsteiler in der Rückkopplung auch andere Referenzspannungen erzeugbar.

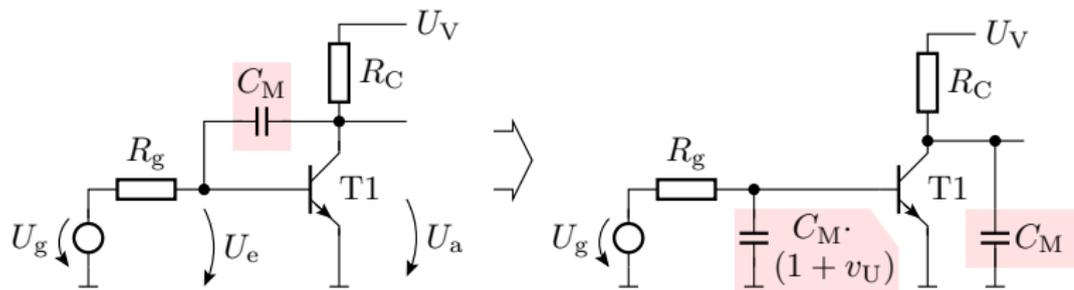


Verstärker



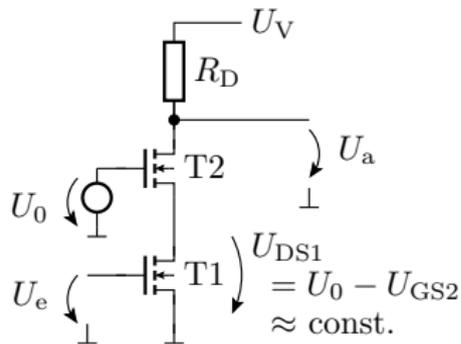
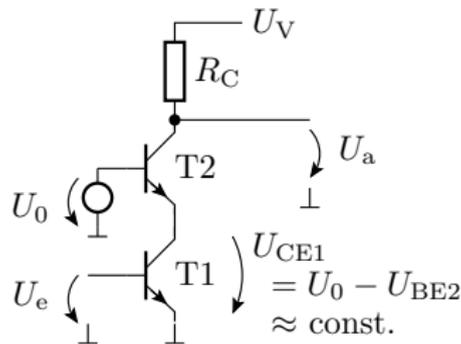
Kaskodenschaltung

Millereffekt bei einer Emitterschaltung



- Die Miller-Kapazität C_M wirkt an der Basis v_U -fach.
- Reduzierung der Übergangsfrequenz des Eingangs-RC-Gliedes umgekehrt proportional zu v_U .

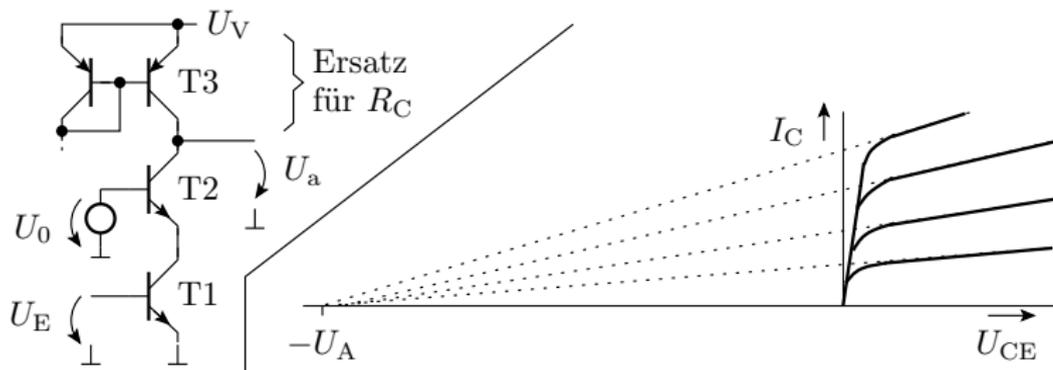
Unterbindung durch Kaskodenschaltung



- T1: Emitterschaltung mit konstanter U_{CE} ; C_M wirkt an der Basis nur »einfach«.
- T2: Basisschaltung; C_E und C_C liegen wechsellspannungsmäßig an Masse.

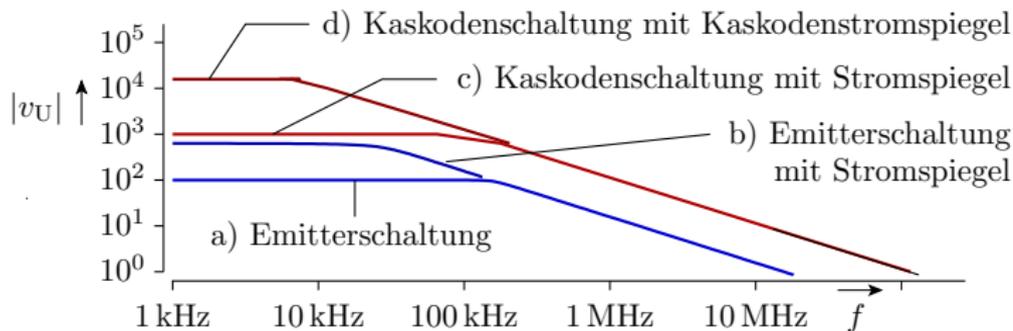
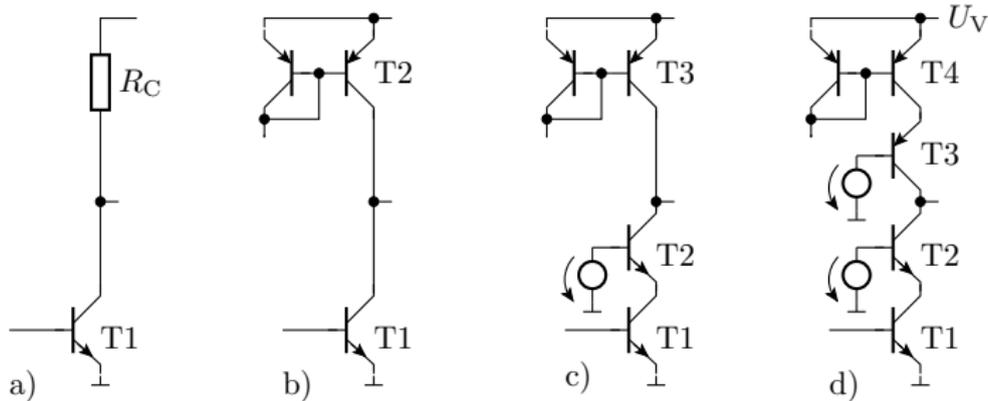
Kaskodenschaltung mit Stromspiegel

- Spannungsverstärkung: $v_U \sim \beta_1 \cdot R_C$
- Ersatz von R_C durch einen Stromspiegel: hoher differentieller Widerstand bei einstellbarem Arbeitspunktstrom, der mit dem Arbeitspunktstrom zu- und mit der Early-Spannung des Stromquellentransistors abnimmt.

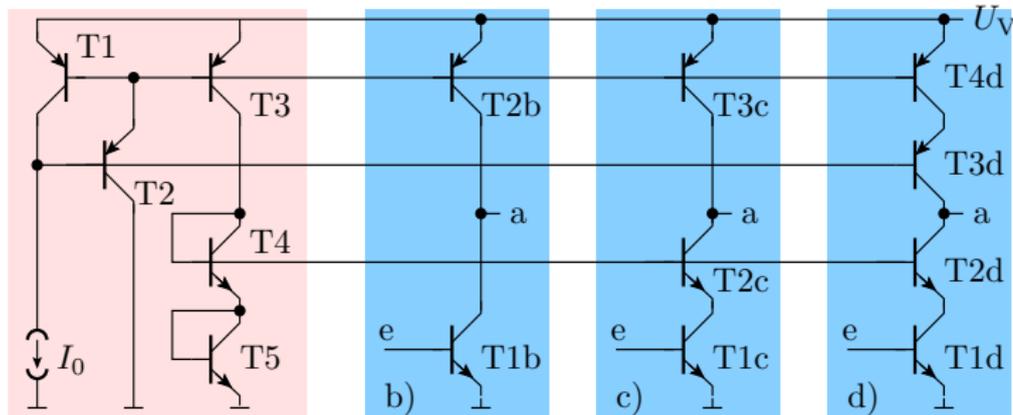


- Ersatz von R_C durch einen Kaskodenstromspiegel: höherer differentieller Widerstand, höhere Verstärkung.

Frequenzgang und Verstärkung



Komplette Schaltung für b) bis d)



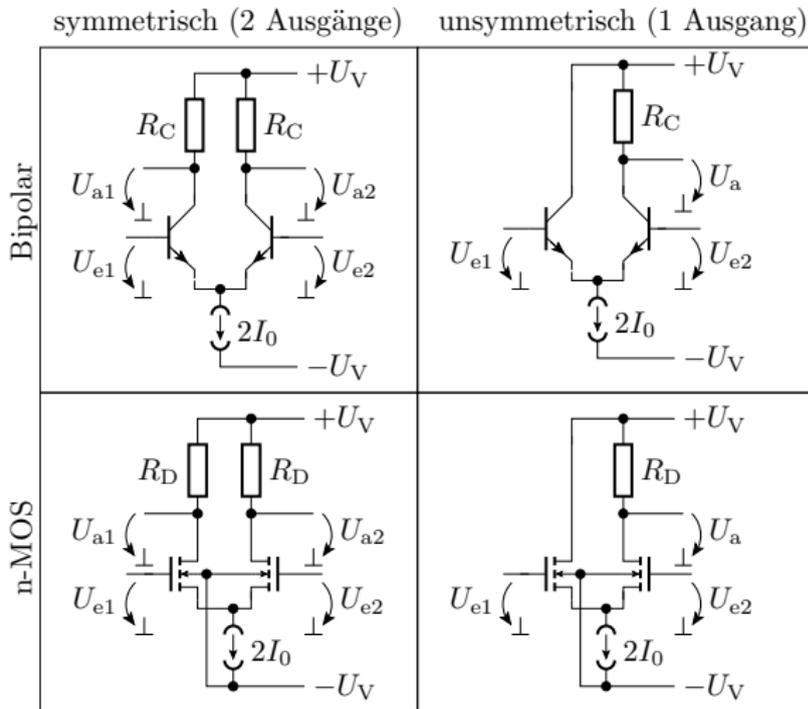
- T1 -T3, T2b, T3c, T4d: Stromspiegelbank
- T2: erzeugt zusätzlich $U_V - 2 \cdot U_{BEF}$ für Kaskodenstromspiegel
- T4, T5: erzeugen $2 \cdot U_{BEF}$ für Kaskodenverstärker

- b) Emitterschaltung mit Stromspiegel
- c) Kaskodenschaltung mit Stromspiegel
- d) Kaskodenschaltung mit Kaskodenstromspiegel.



Differenzverstärker

Grundsaltungen des Differenzverstärkers



Übertragungskennlinie npn-Differenzverstärker

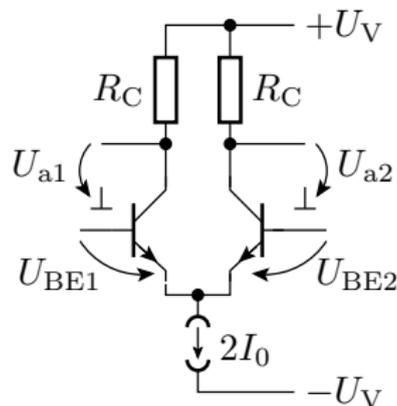
Vereinfachte Annahmen: identische Transistoren, aktiver Bereich, Vernachlässigung Early-Effekt.

$$I_{C1} = I_S \cdot e^{\frac{U_{BE1}}{U_T}}$$

$$I_{C2} = I_S \cdot e^{\frac{U_{BE2}}{U_T}}$$

$$2 \cdot I_0 = I_{C1} + I_{C2}$$

$$U_{Diff} = U_{BE1} - U_{BE2}$$



Verhältnis der Kollektorströme:

$$\frac{I_{C1}}{I_{C2}} = e^{\frac{U_{BE1} - U_{BE2}}{U_T}} = e^{\frac{U_{Diff}}{U_T}}$$

$$2 \cdot I_0 = I_{C1} \cdot \left(1 + e^{-\frac{U_{Diff}}{U_T}} \right) = I_{C2} \cdot \left(1 + e^{\frac{U_{Diff}}{U_T}} \right)$$

U_{Diff}	Differenzeingangsspannung.
U_T	Temperaturspannung, ca. 26 mV.



$$I_{C1} = \frac{2 \cdot I_0}{1 + e^{-\frac{U_{\text{Diff}}}{U_T}}}, \quad I_{C2} = \frac{2 \cdot I_0}{1 + e^{\frac{U_{\text{Diff}}}{U_T}}}$$

mit*

$$\frac{2}{1 + e^{-x}} = \frac{1 + e^{-x} + 1 - e^{-x}}{1 + e^{-x}} = 1 + \tanh\left(\frac{x}{2}\right)$$

$$I_{C1} = I_0 \cdot \left(1 + \tanh\left(\frac{U_{\text{Diff}}}{2 \cdot U_T}\right)\right), \quad I_{C2} = I_0 \cdot \left(1 - \tanh\left(\frac{U_{\text{Diff}}}{2 \cdot U_T}\right)\right)$$

$$U_{a1} = U_V - I_0 \cdot R_C \cdot \left(1 + \tanh\left(\frac{U_{\text{Diff}}}{2 \cdot U_T}\right)\right)$$

$$U_{a2} = U_V - I_0 \cdot R_C \cdot \left(1 - \tanh\left(\frac{U_{\text{Diff}}}{2 \cdot U_T}\right)\right)$$

- Anstieg für $U_{\text{Diff}} = 0$ (Stelle des maximalen Anstiegs):

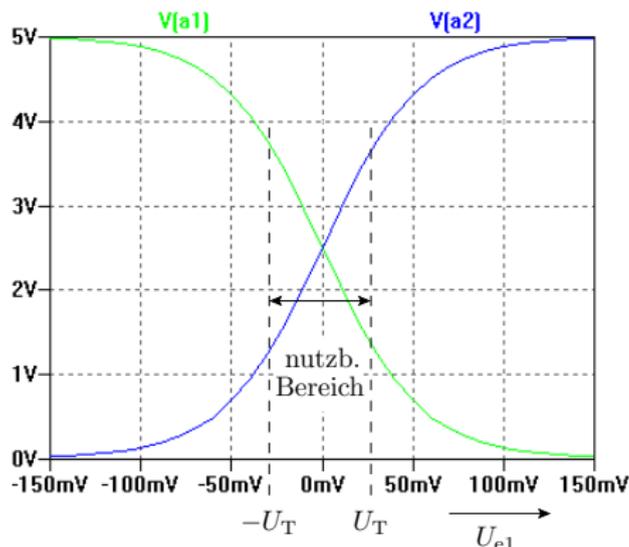
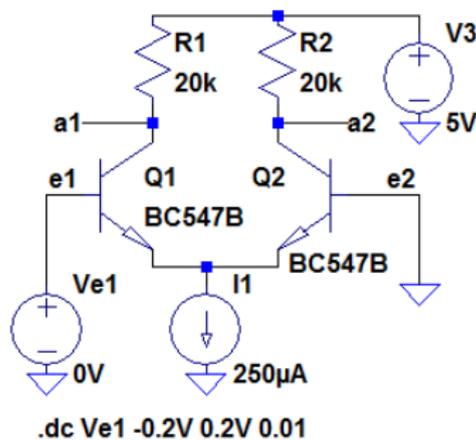
$$\left. \frac{dU_{a1}}{dU_{\text{Diff}}} \right|_{U_{\text{D}}=0} = - \left. \frac{dU_{a2}}{dU_{\text{Diff}}} \right|_{U_{\text{D}}=0} = \frac{I_0 \cdot R_C}{2 \cdot U_T}$$

- nutzbarer Bereich als Verstärker:

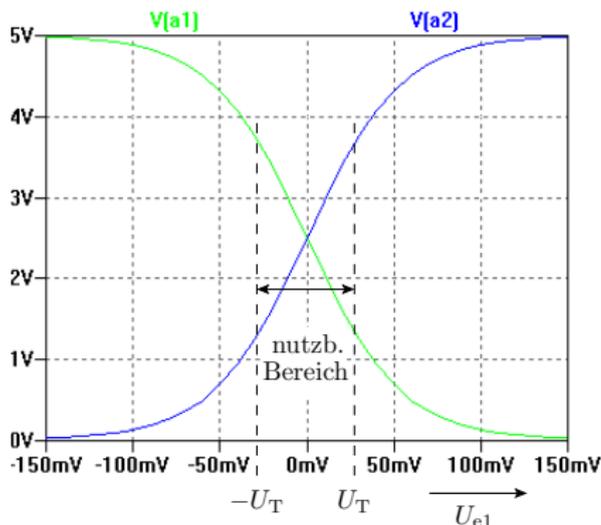
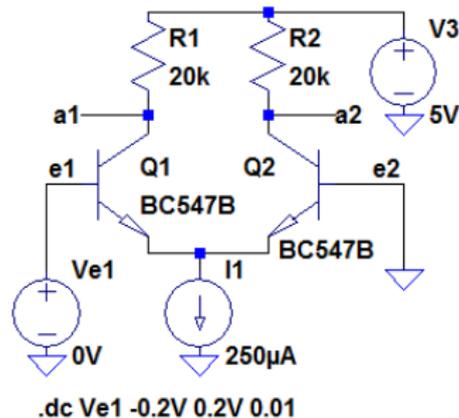
$$-U_T < U_{\text{Diff}} < U_T$$

* $\tanh(x) = \frac{e^x - e^{-x}}{e^x + e^{-x}} = \frac{e^{2x} - 1}{e^{2x} + 1}$.

Beispielsimulation



- Der Arbeitspunkt ist so gewählt, dass wenn der gesamte Strom über einen R_C fließt über diesem U_V abfällt.
- Im Simulationsmodell darf die Spannung über der Stromquelle negativ sein, bei einer Stromquellenschaltung nicht. Was tun?



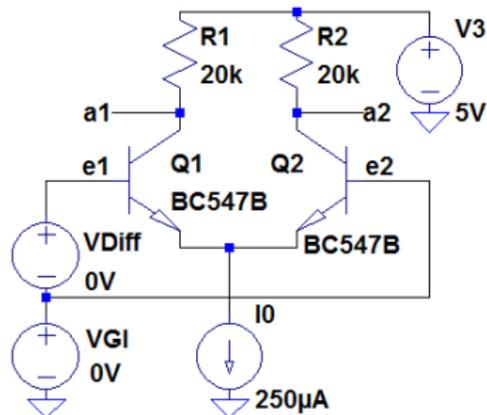
- Der Arbeitspunkt ist so gewählt, dass wenn der gesamte Strom über einen R_C fließt über diesem U_V abfällt:

$$I_1 = 2 \cdot I_0 = \frac{U_V}{R_C}$$

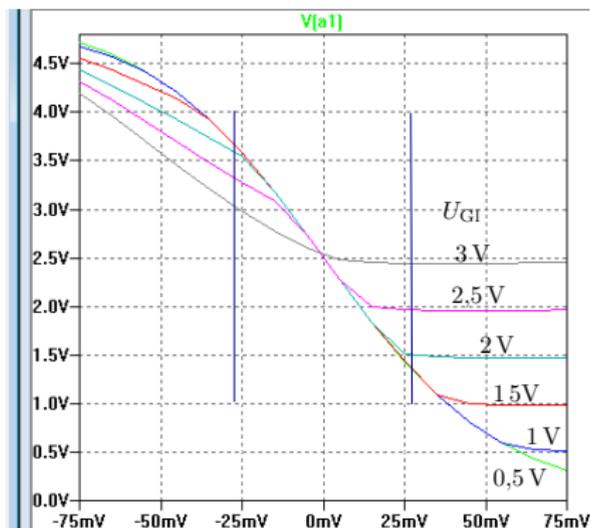
- maximale Verstärkung:

$$\left. \frac{dU_{a1}}{dU_{Diff}} \right|_{U_{Diff}=0} = \frac{I_0 \cdot R_C}{2 \cdot U_T} = \frac{U_V}{4 \cdot U_T} = -\frac{5V}{104mV} \approx -48$$

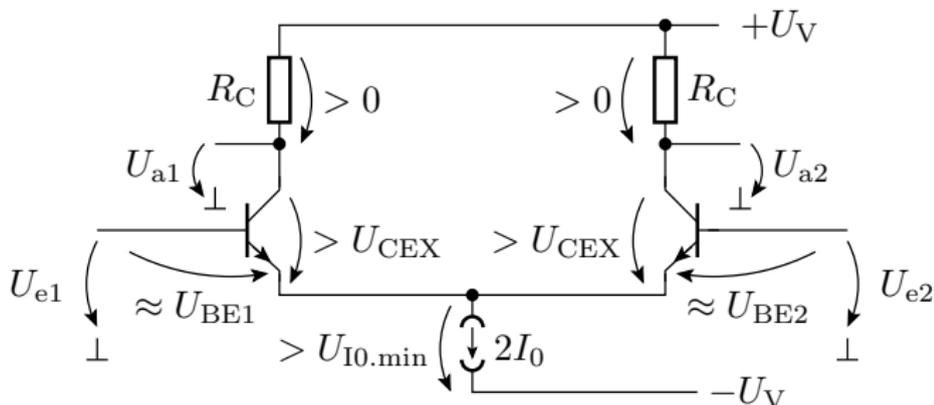
Gleichtaktaussteuerungsbereich



.dc VDiff -75mV 75mV 0.01 VGI 0.5 3 0.5



Differenzeingangsspg.	$U_{\text{Diff}} = U_{e1} - U_{e2}$	$-U_T < U_{\text{Diff}} < U_T$
Gleichtakteingangsspg.	$U_{\text{GI}} = \frac{U_{e1} + U_{e2}}{2}$	$ U_{\text{GI}} < 2V$



Beide Transistoren im Normalbereich und $-U_T < U_{\text{Diff}} < U_T$:

$$\begin{aligned}
 -U_V + U_{\text{IQ.min}} + U_{\text{CEX}} &< U_{\text{a.i}} < U_V \\
 -U_V + U_{\text{IQ.min}} + U_{\text{BE.min}} &< U_{\text{e.i}} < U_V - U_{\text{CEX}} + U_{\text{BE.max}} \\
 -U_V + U_{\text{IQ.min}} + U_{\text{BE.min}} + U_T &< U_{\text{Gl}} < U_V - U_{\text{CEX}} + U_{\text{BE.max}} - U_T
 \end{aligned}$$

$U_{\text{Diff}}, U_{\text{Gl}}$ Differenzeingangsspannung, Gleichtaktingangsspannung.

$U_{\text{e.i}}, U_{\text{a.i}}$ Spannung am Eingang i , Spannung am Ausgang i .

$U_{\text{BE}[.i]}$ Basis-Emitter-Spannung [Transistor i].

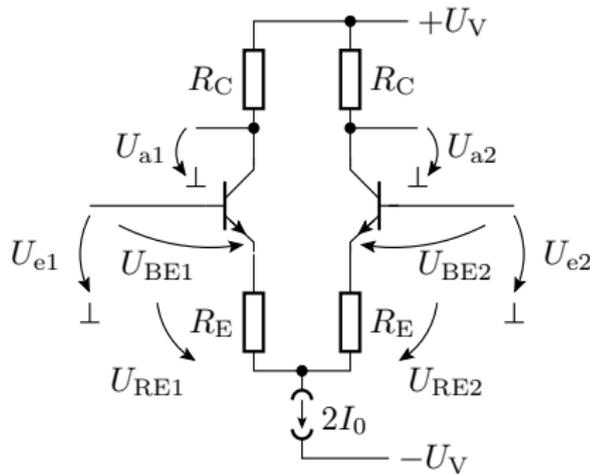
$U_{\text{IQ.min}}$ Mindestspannung über der Stromquelle.

U_T Temperaturspannung, ca. 26 mV.

U_{CEX} Mindestspannung zwischen Kollektor und Emitter.

Linearisierung durch Stromgegenkopplung

Vereinfachte Annahmen:
 aktiver Bereich, $U_{BE.i} \ll U_{RE.i}$,
 Vernachlässigung Early-Effekt,
 Vernachlässigung Basisstrom.

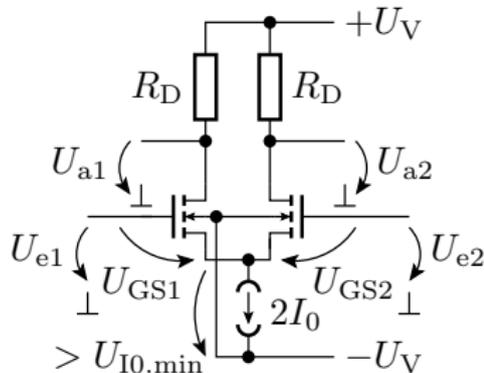


$$\begin{aligned}
 I_{C1} &= \frac{U_{RE1}}{R_E} & , & \quad I_{C2} = \frac{U_{RE2}}{R_E} \\
 2 \cdot I_0 &= I_{C1} + I_{C2} & , & \quad U_D = U_{RE1} - U_{RE2} \\
 & & & \quad = R_E \cdot (I_{C1} - I_{C2}) \\
 I_{C1} &= I_0 + \frac{U_D}{2 \cdot R_E} & , & \quad I_{C2} = I_0 - \frac{U_D}{2 \cdot R_E} \\
 U_{a1} &= U_V - R_C \cdot I_0 - \frac{R_C \cdot U_D}{2 \cdot R_E} & , & \quad U_{a2} = U_V - R_C \cdot I_0 + \frac{R_C \cdot U_D}{2 \cdot R_E}
 \end{aligned}$$

Mit den Vereinfachungen linear und unabhängig von den Transistorparametern.

NMOS-Differenzverstärker

Vereinfachte Annahmen: Einschnürrbereich, gleiche Einschaltspannung, Vernachlässigung Early-Effekt.



$$\begin{aligned}
 I_{D1} &= \frac{K_1}{2} \cdot (U_{GS1} - U_{th})^2 & , & & I_{D2} &= \frac{K_2}{2} \cdot (U_{GS2} - U_{th})^2 \\
 2 \cdot I_0 &= I_{D1} + I_{D2} & , & & U_{Diff} &= U_{GS1} - U_{GS2} \\
 & & & & &= \sqrt{\frac{2 \cdot I_{D1}}{K}} - \sqrt{\frac{2 \cdot I_{D2}}{K}}
 \end{aligned}$$

Auflösung des Gleichungssystems:

- Substitution $x = \sqrt{I_{D1}}$, $I_{D2} = 2 \cdot I_0 - x^2$,



- Auflösung quad. Gl. nach x ,
- ... aufwändig).

Drainstrom in Abhängigkeit von der Differenzeingangsspannung:

$$\left. \begin{aligned} I_{D1} &= I_0 + \sqrt{\frac{K \cdot I_0}{2}} \cdot \sqrt{1 - \frac{K \cdot U_{D\text{diff}}^2}{8 \cdot I_0}} \cdot U_{D\text{diff}} \\ I_{D2} &= I_0 - \sqrt{\frac{K \cdot I_0}{2}} \cdot \sqrt{1 - \frac{K \cdot U_{D\text{diff}}^2}{8 \cdot I_0}} \cdot U_{D\text{diff}} \end{aligned} \right\} \text{für } |U_{D\text{diff}}| < 2 \cdot \sqrt{\frac{I_0}{K}}^*$$

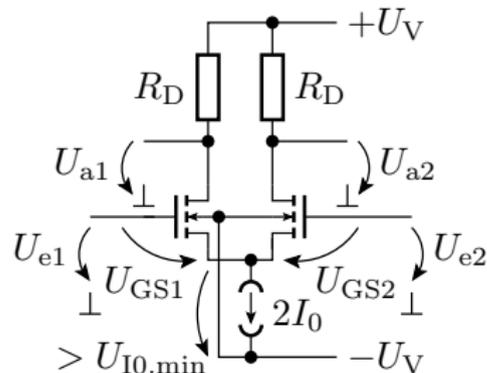
(* – Bedingung für Einschnürrbereich). Ausgangsspannung:

$$\left. \begin{aligned} U_{a1} &= U_{aA} - v_{u0} \cdot U_{D\text{diff}} \cdot \sqrt{1 - \frac{K \cdot U_{D\text{diff}}^2}{8 \cdot I_0}} \\ U_{a2} &= U_{aA} + v_{u0} \cdot U_{D\text{diff}} \cdot \sqrt{1 - \frac{K \cdot U_{D\text{diff}}^2}{8 \cdot I_0}} \end{aligned} \right\} \text{für } |U_{D\text{diff}}| < 2 \cdot \sqrt{\frac{I_0}{K}}^*$$

mit $U_{a.A} = U_V - I_0 \cdot R_D$ und $v_{u0} = R \cdot \sqrt{\frac{K \cdot I_0}{2}}$.

U_{a0}	Ausgangsspannung für Eingangsspannungsdifferenz $U_{D\text{diff}} = 0$.
v_{u0}	Spannungsverstärkung Eingangsspannungsdifferenz $U_{D\text{diff}} = 0$.
$U_{D\text{diff}}$	Differenzeingangsspannung.
K	Steilheit der MOS-Transistoren.
U_{th}	Einschaltspannung der MOS-Transistoren.

Aussteuerungsbereich



Überschlag mit $I_0 = \frac{U_V}{R_D}$

$$U_{GS.min} = U_{th} \quad \text{für } I_D = 0 \text{ und } U_a = U_V$$

$$U_{GS.max} = U_{th} + \sqrt{\frac{I_0}{K}} \quad \text{für } I_D = 2 \cdot I_0 \text{ und } U_a = -U_V$$

$$-U_V + U_{I0.min} + U_{th} + \sqrt{\frac{I_0}{K}} < U_{G1} < U_V + U_{th}$$

$U_{I0.min}$ Mindestspannung über der Stromquelle.

Rail-to-Rail-Verstärker

Erhöhung Gleichtakteingangsspannung auf:

$$-U_V < U_{G1} < +U_V$$

Bei n-MOS-Verstärker möglich über Gl. 5.1

$$U_{th} = V_{to} + \text{Gamma} \cdot \left(\sqrt{\text{Phi} - U_{BS}} - \sqrt{\text{Phi}} \right)$$

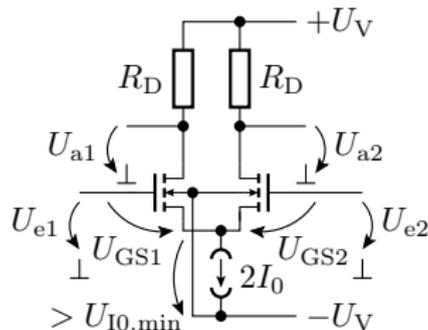
(U_{BS} – mit der Source-Bulk-Spannung). Gleichtakteaussteuerung:

$$-U_V + U_{I0.min} + U_{th}(U_{I0.min}) + \sqrt{\frac{4 \cdot I_0}{K}} < U_{G1} < +U_V + U_{th}(U_V)$$

eine Rail-to-Rail-Aussteuerung verlangt:

$$U_{th}(U_{BS} = U_{I0.min}) < -U_{I0.min} + \sqrt{\frac{4 \cdot I_0}{K}}$$

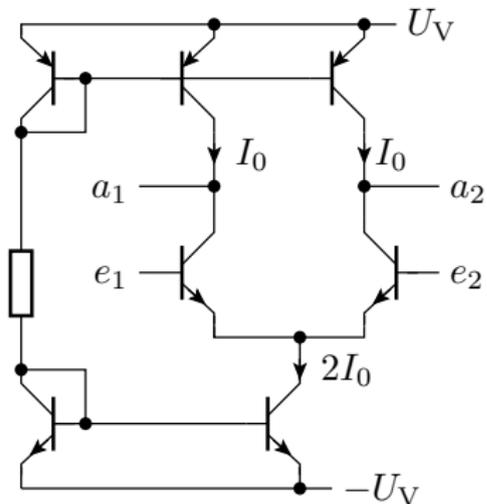
$$U_{th}(U_{BS} = +U_V) > 0$$



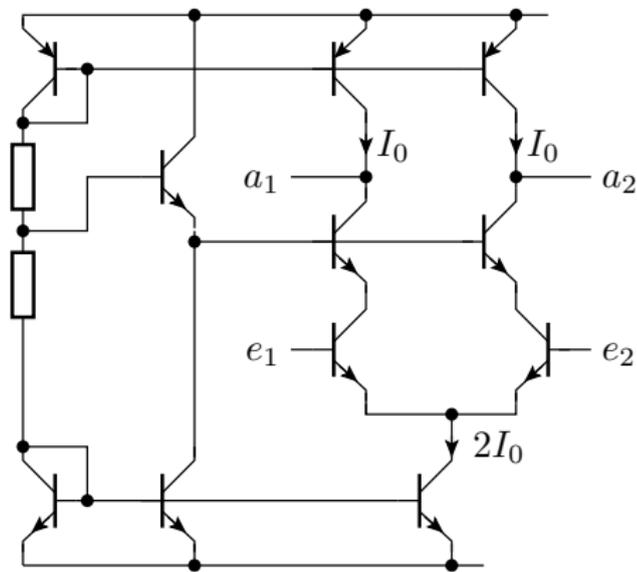
U_{th}, K	Einschaltspannung, Steilheit.
V_{to}, Gamma	Null-Schwellspannung, Substartsteuerfaktor.
Phi	Inversionsspannung.

Stromspiegel und Kaskoden

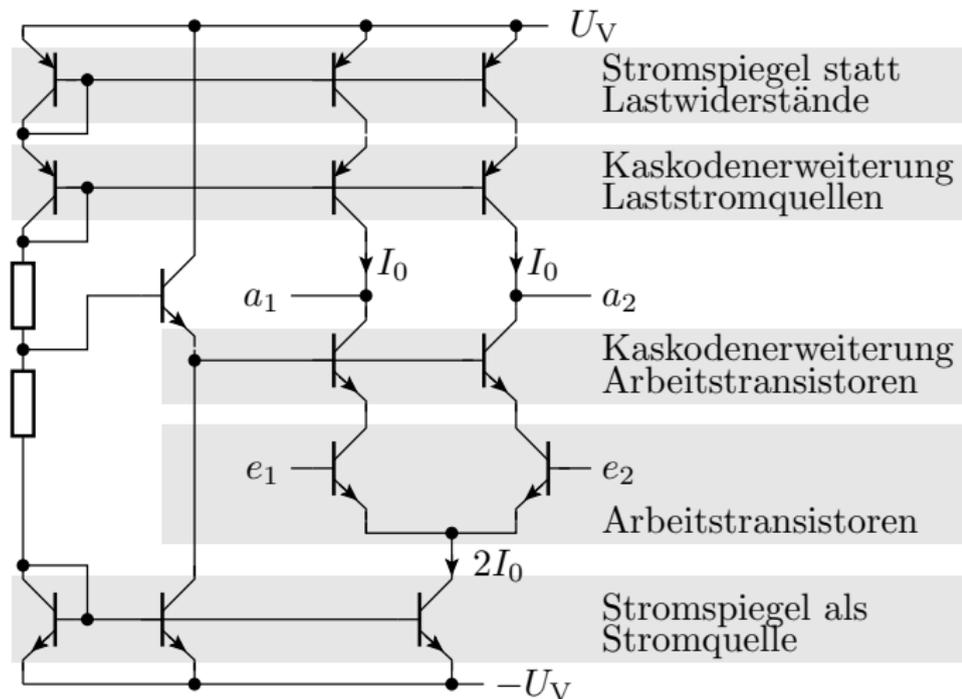
Stromspiegel statt Lastwiderstände

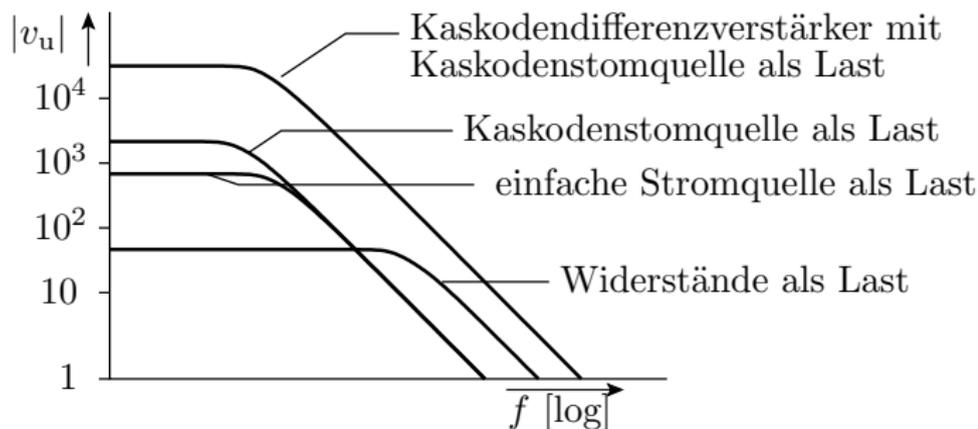


Kaskodenerweiterung Arbeitstransistoren



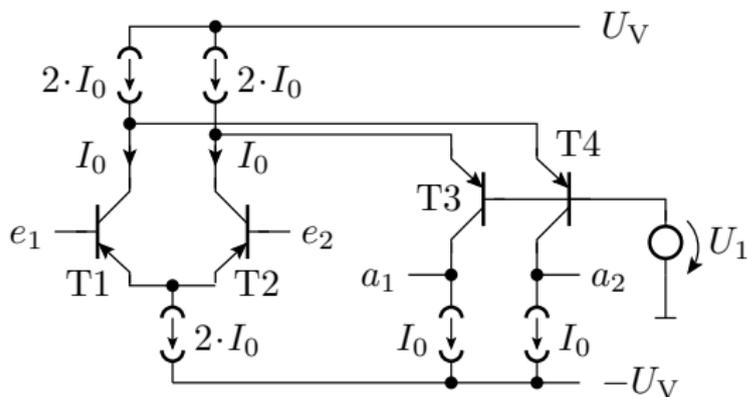
Kakodenvertärker mit Kaskodenstromspiegel





- Bei Differenzverstärker mit Lastwiderständen (R_C bzw. R_D) ist die Verstärkung proportional zu diesen.
- Ersatz der Lastwiderstände durch Stromquellen bzw. Stromspiegel: $R_C \rightarrow r_{CE} \approx \frac{V_{af}}{I_C}$.
- Erhöhung der Ersatzwiderstände der Stromspiegel durch Kaskodenstromspiegel. Hält U_{CE} der Spiegeltransistors konstant und unterbindet Early-Effekt.
- Eine Kaskoden-Erweiterung der Arbeitstransistoren eliminiert die Miller-Kapazität und erhöht die Bandbreite.

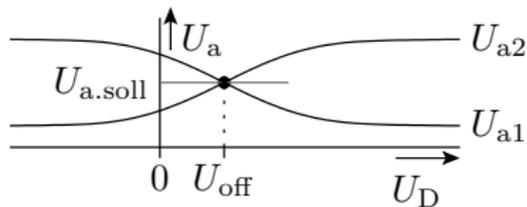
Gefaltete Kaskode



- Faltung der Kaskoden-Stufen zusammen mit der ausgangsseitigen Stromquelle nach unten.
- T2 und T3 halten die Potentiale an den Kollektoren von T1 und T2 konstant und übernehmen die Differenzströme $I_{C,i} - 2I_0$.
- Vergrößerung des nutzbaren Ausgangsspannungsbereichs.

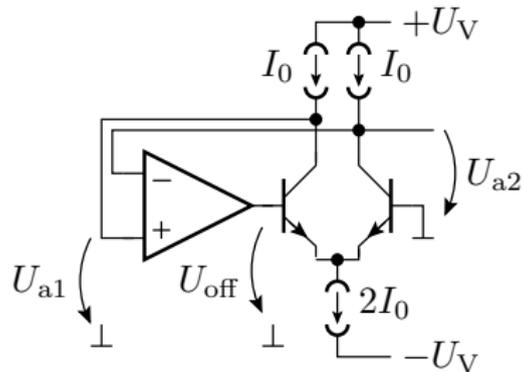
Offsetspannung

Die Offsetspannung U_{off} ist die Differenzeingangsspannung U_{D} für $U_{\text{a1}} = U_{\text{a2}}$ bzw. $U_{\text{a}} = U_{\text{soll}}$. Ursache: Toleranzen, Unsymmetrien.

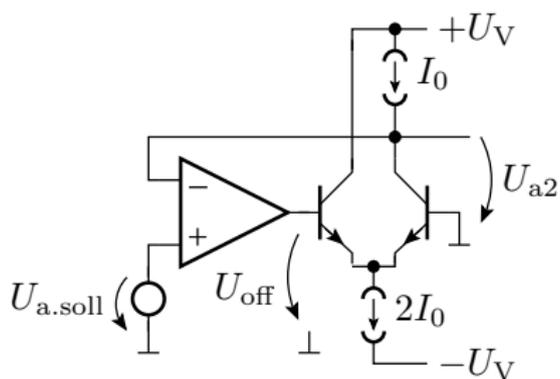


Messen der Offsetspannung

symmetrischer Ausgang



unsymmetrischer Ausgang



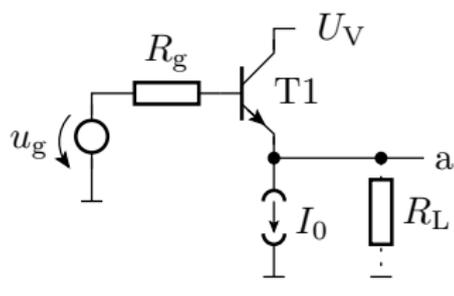
- Anschluss eines Regelverstärkers, der die Differenzausgangsspannung auf null kompensiert und Ablesen der Eingangsdifferenzspannung
- Achtung: Schleifenverstärkung über die Verstärkung des Regelverstärkers soweit absenken, dass die Schaltung nicht schwingt!



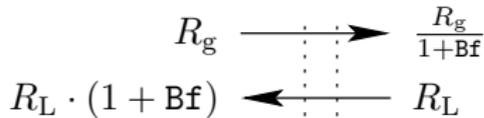
Impedanzwandler

Einstufiger Impedanzwandler

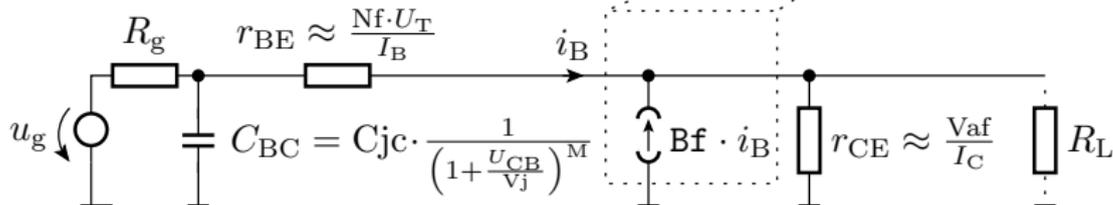
Der Ausgangswiderstand von Verstärkern mit hoher Verstärkung ist hoch und muss mit Impedanzwandlern verringert werden.
 Kollektorschaltung mit Stromquelle statt Emitterwiderstand:

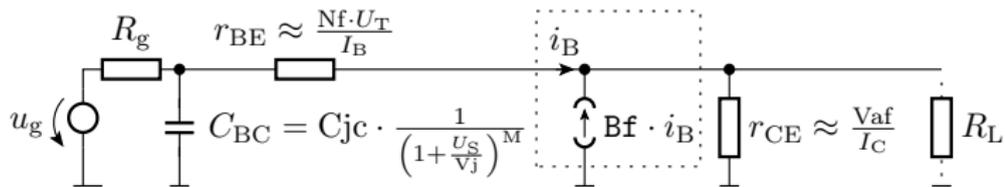


Impedanztransformator:

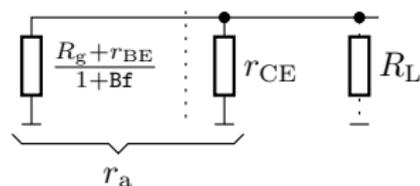


Kleinsignalersatzschaltung

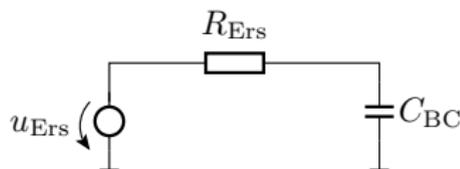




Ausgangswiderstand



Übergangsfrequenz



Ausgangswiderstand:

$$r_a = \frac{R_g + r_{BE}}{\beta_f + 1} \parallel r_{CE} \approx \frac{R_g}{\beta_f + 1}$$

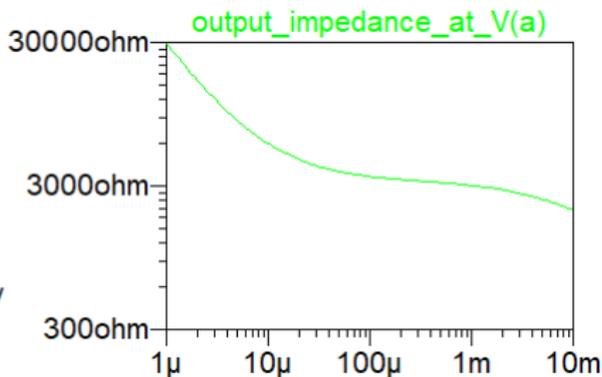
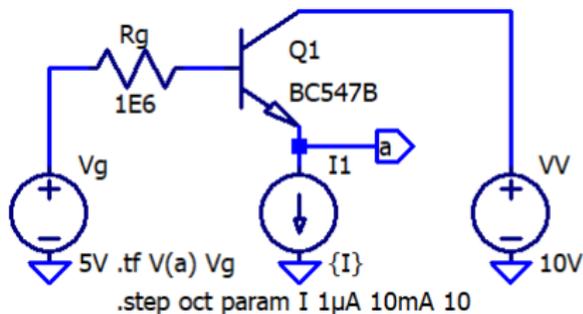
Eingangsersatzwiderstand:

$$R_{Ers} = R_g \parallel (r_{BE} + (\beta_f + 1) \cdot (r_{CE} \parallel R_L)) \approx R_g$$

Übergangsfrequenz:

$$f_0 = \frac{1}{2\pi \cdot R_{Ers} \cdot C_{BC}}$$

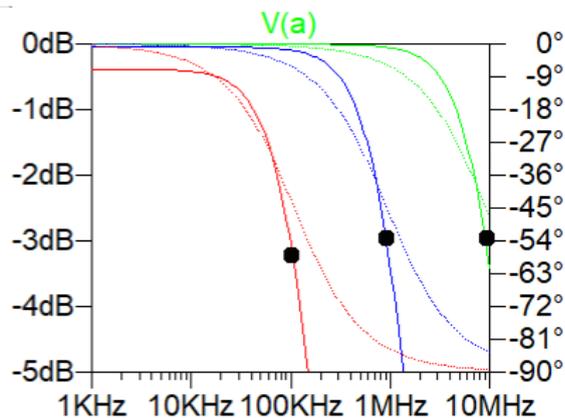
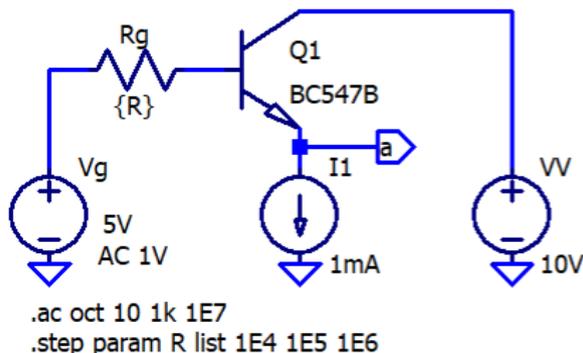
Kontrolle Ausgangswiderstand



$$r_a = \frac{R_g + r_{BE}}{Bf + 1} \parallel r_{CE} \approx \frac{R_g}{Bf + 1}$$

- Für mittlere Emittterströme $r_a \approx \frac{1 \text{ M}\Omega}{300} \sqrt{}$
- Für sehr kleinen Emittterströmen dominiert $r_{BE} \sim I_E^{-1}$,
- für sehr große Emittterströmen dominiert $r_{CE} \sim I_E^{-1}$.

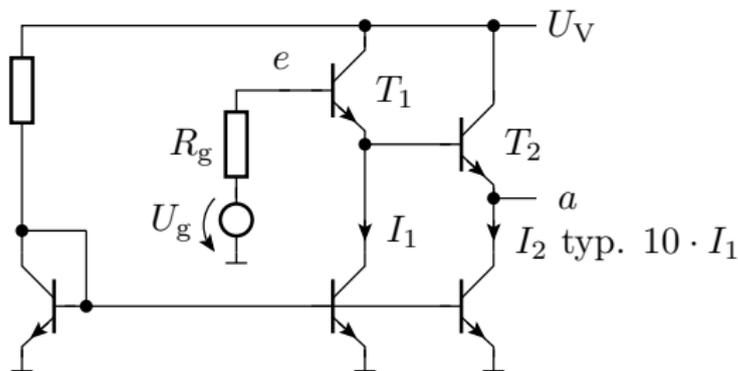
Kontrolle Übergangsfrequenz



$$f_0 = \frac{1}{2\pi \cdot R_{Ers} \cdot C_{BC}}$$

Für $I_E = 1 \text{ mA}$ ist $R_{Ers} = R_g$ und die Übergangsfrequenz nimmt umgekehrt proportional zu R_g ab.

Zweistufiger Impedanzwandler

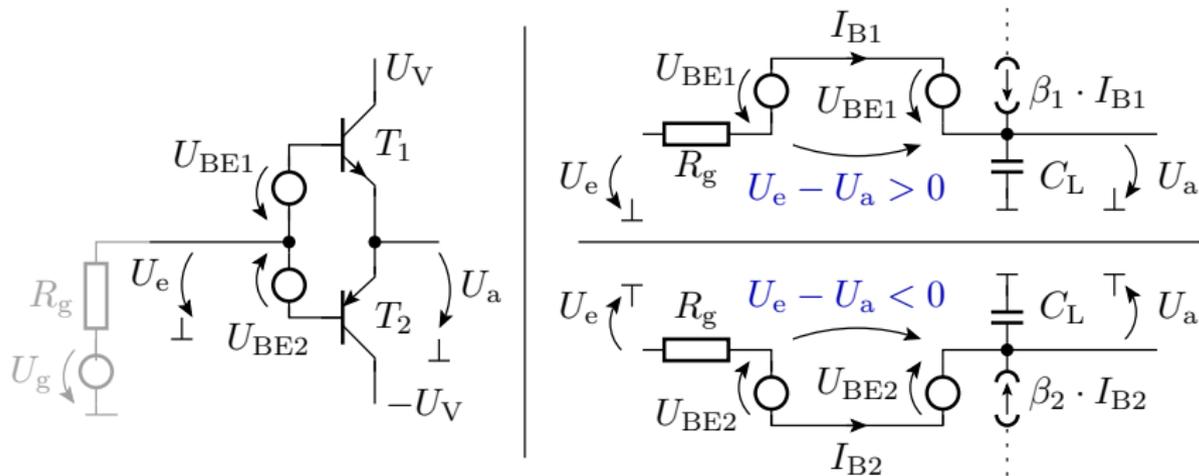


Zwei Impedanztransformatoren hintereinander. Ausgangswiderstand:

$$r_a \approx \frac{R_g}{(\beta + 1) \cdot (\beta_2 + 1)}$$

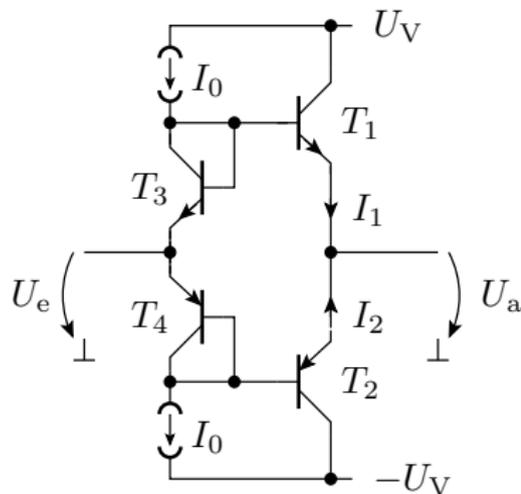
Ruhestrom für T_1 kleiner als für T_2 , damit die r_{BE} - und r_{CE} -Widerstände vernachlässigt werden können.

Komplementärer Impedanzwandler



Für $U_e > U_a$ wird die Lastkapazität C_L über T_1 mit Ausgangswiderstand $r_a \approx \frac{R_g}{\beta_1 + 1}$ aufgeladen und für $U_e < U_a$ über T_2 mit Ausgangswiderstand $r_a \approx \frac{R_g}{\beta_2 + 1}$ entladen.

Arbeitspunkteinstellung



Für $U_e = U_a$ arbeiten T_1 und T_3 sowie T_2 und T_4 als Stromspiegel mit Spiegelverhältnis:

$$\frac{I_1}{I_0} = \frac{I_{S1}}{I_{S3}}, \quad \frac{I_2}{I_0} = \frac{I_{S2}}{I_{S4}}$$

Ruhestrom mindert Nichtlinearität beim Wechsel zwischen Auf- und Entladen der Lastkapazität.



Literatur

- [1] Karl-Herman Cordes, Andreas Waag, and Nicolas Heuck.
Integrierte Schaltungen. Grundlagen - Prozesse - Design - Layout.
Pearson Studium, 2011.
- [2] U. Tietze, Ch. Schenk, and L. Dübgen.
Halbleiterschaltungstechnik.
Springer, 2002.