

Technische Universität
 Clausthal Institut für Informatik
 Prof. G. Kemnitz, Dr. C. Giesemann

3. Mai 2023

Entwurf digitaler Schaltungen: Aufgabenblatt 4 (Simulation)

Hinweise: Schreiben Sie die Lösungen, so weit es möglich ist, auf die Aufgabenblätter. Tragen Sie Namen, Matrikelnummer und Studiengang in die nachfolgende Tabelle ein und schreiben Sie auf jedes zusätzlich abgegebene Blatt ihre Matrikelnummer.

Name	Matrikelnummer	Studiengang	Punkte von 13

Das nachfolgende Beispielprogramm dient zur Veranschaulichung der Unterschiede zwischen einer Wertzuweisung an eine Variable und einer Zuweisung einer Werteänderung an ein Signal:

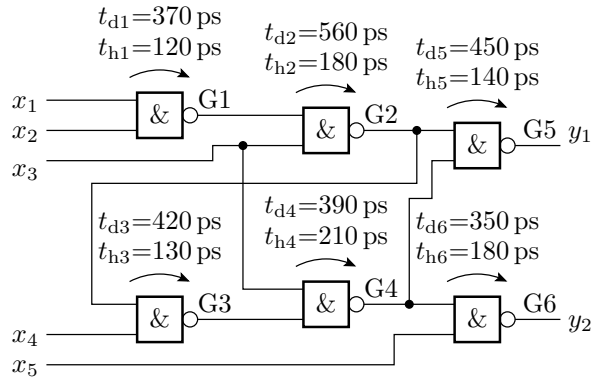
```

1  entity test_sig_var is end entity;
2  architecture a of test_sig_var is
3    signal s: integer := 0;
4  begin
5    process
6      variable v: integer := 0;
7    begin
8      A0: report("s=" & integer'image(s) & "_v=" & integer'image(v));
9      Z1: s <= s +1 after 0.5 ns; v := v+1;
10     A1: report("s=" & integer'image(s) & "_v=" & integer'image(v));
11     W1: wait for 1 ns;
12     A2: report("s=" & integer'image(s) & "_v=" & integer'image(v));
13     Z2: s <= s +1 after 0.5 ns; v := v+1;
14     W2: wait for 1 ns;
15     A3: report("s=" & integer'image(s) & "_v=" & integer'image(v));
16     Z3: s <= s +1 after 0.5 ns; v := v+1;
17     A4: report("s=" & integer'image(s) & "_v=" & integer'image(v));
18     W3: wait for 1 ns;
19     A5: report("s=" & integer'image(s) & "_v=" & integer'image(v));
20     wait;
```

Aufgabe 4.1: Welche Werte werden in den einzelnen Report-Anweisungen für das Signal »s« und die Variable »v« ausgegeben? Füllen Sie hierzu nachfolgende Tabelle aus: 3P

	A0	A1	A2	A3	A4	A5
s						
v						

Aufgabe 4.2: Bestimmen Sie die minimale Haltezeit und die maximale Verzögerungszeit der nachfolgenden Schaltung. 4P

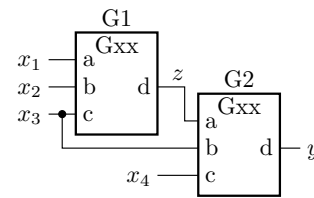


Aufgabe 4.3: Gegeben sind der Signalflussplan einer Schaltung aus zwei identischen Teilschaltungen und die Funktionsbeschreibung der Teilschaltung.

```

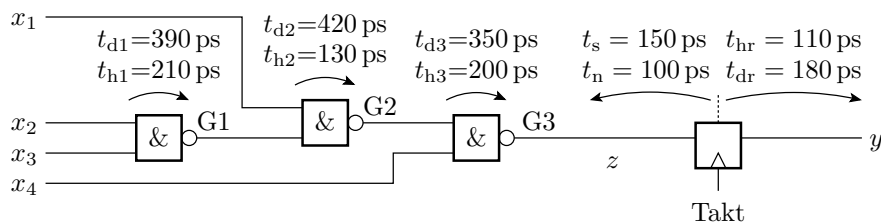
1  entity Gxx is
2    port(a, b, c: in std_logic;
3          d: out std_logic);
4  end entity Gxx;
5
6  architecture Verhalten of Gxx is
7  begin
8    d<=(a and not c) or (b and c) after 1 ns;
9  end architecture;

```



Erstellen Sie eine VHDL-Strukturbeschreibung der Gesamtschaltung mit Schnittstellenbeschreibung und namensbasierter Zuordnung. 2P

Aufgabe 4.4:



In welchem Zeitfenster vor der aktiven Taktflanke müssen die Signale $x_1, x_{2/3}, x_4$ und z gültig sein? 4P

	x_2, x_3 , Eing. G1	x_1 , Ausg. G1	x_4 , Ausg. G2	z , Ausg. G3
mindestens gültig ab				
mindestens gültig bis				