



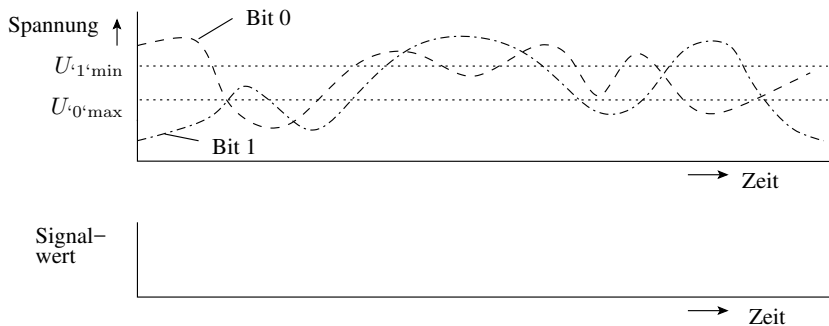
Entwurf digitaler Schaltungen

Große Übung 3

Prof. G. Kemnitz, Dr. C. Gieseemann

Institut für Informatik, Technische Universität Clausthal
6. Juni 2019

Aufgabe 3.1: Wertdarstellung mit Bitvektoren



- 1 Kennzeichnen Sie die Zeitbereiche, in denen der Signalwert unbestimmt ist.
- 2 Tragen Sie für alle Bereiche, in denen der Wert definiert ist, den Signalwert ein (positive Logik).

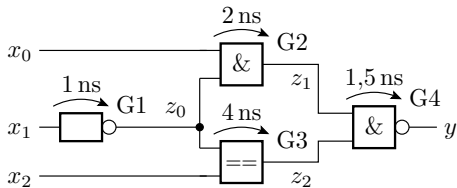
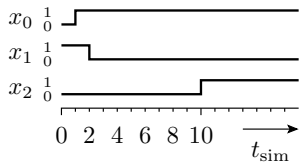


Aufgabe 3.2: Arithmetik mit 'X'

```
variable a, b, c, y1, y2: std_logic := 'X';  
...  
A1: a := a and '0';  
A2: c := b or '1';  
A3: y1 := (a and b) xor c;  
A4: y2 := not(a or b) and c;
```

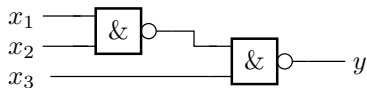
Welche Werte werden den Variablen auf der linken Seite zugewiesen?

Aufgabe 3.3: Hazard



- 1 VHDL-Beschreibung der Schaltung durch nebenläufige Signalzuweisungen.
- 2 VHDL Beschreibung der Eingabesignalerzeugung.
- 3 Bestimmung der Signalverläufe für z_1 , z_2 und y .
- 4 Welche Eingabeänderung verursacht einen Glitch?

Aufgabe 3.4: Strukturbeschreibung



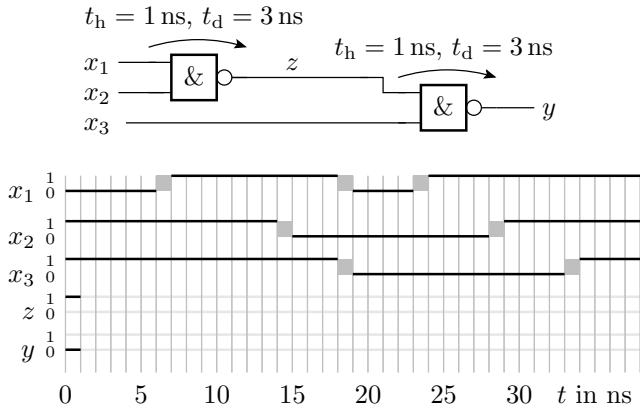
Zeitparameter NAND-Gatter:

- $t_h = 1 \text{ ns}$
- $t_d = 3 \text{ ns}$

- 1 Entwickeln Sie eine Funktionsbeschreibung für das verwendete NAND-Gatter.
- 2 Entwickeln Sie eine Strukturbeschreibung der Gesamtschaltung.

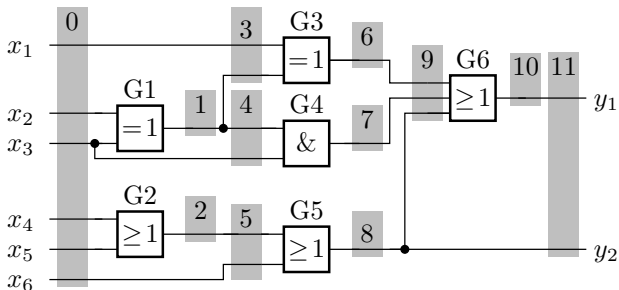
(Komplett mit Bibliotheken, Packages, Entity, Architecture.
Nebenläufige Signalzuweisungen. Namensbasierte Zuordnung.
Datentyp `std_logic`).

Aufgabe 3.5: Simulation mit Zeittoleranzen



Bestimmen Sie die Zeitverläufe von z und y .

Aufgabe 3.6: Halte- und Verzögerungszeiten



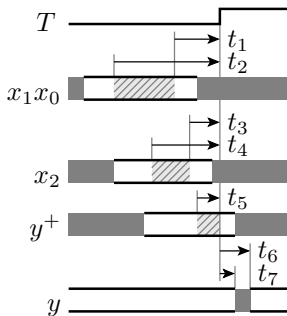
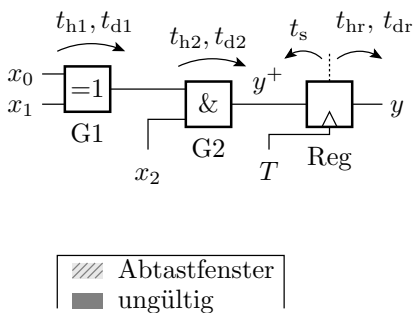
Halte- und Verzögerungszeiten der Gatter

	$t_{h.i}$	$t_{d.i}$
G1	5 ns	8 ns
G2	4 ns	7 ns
G3	5 ns	8 ns

	$t_{h.i}$	$t_{d.i}$
G4	6 ns	9 ns
G5	4 ns	7 ns
G6	4 ns	7 ns

Bestimmen Sie die Gesamthalte- und die Gesamtverzögerungszeiten für alle eingezeichneten Signalgruppen.

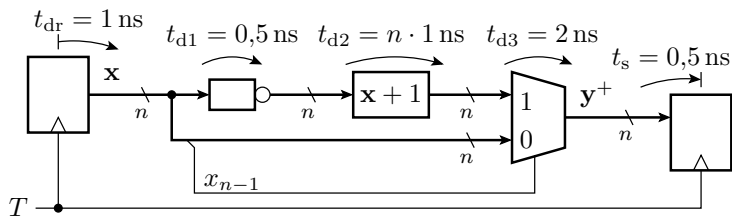
Aufgabe 3.7: Beschreibung als Abtastprozess



```
signal x0, x1, x2, y_next, T, y: std_logic;
```

- 1 Beschreibung von t_1 bis t_7 als Funktion der Werte von $t_{h\dots}$, $t_{d\dots}$ etc.
- 2 Beschreibung der Gesamtschaltung als Abtastprozess.

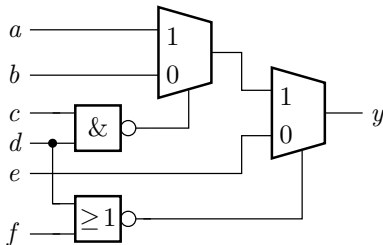
Aufgabe 3.8: Register-Transfer-Funktion



Gesucht:

- 1 Maximal zulässige Taktfrequenz in Abhängigkeit von der Bitbreite n ?
- 2 Maximal zulässige Taktfrequenz für $n = 16$?

Aufgabe 3.9: Synthese von Gatterschaltungen



Beschreiben Sie die Schaltung in VHDL in einer synthesefähigen Form.



Aufgabe 3.10: Beschreibungsfehler

Welche Fehler enthält die Beschreibung?

```
entity schaltung is
  port(a, b, c: in std_logic;
        y      : out std_logic);
end entity;

architecture a of schaltung is
  signal z: std_logic;
begin
  process (a, b)
    variable v: std_logic;
  begin
    if a='1' then v := b; end if;
    z <= v and c; y <= z or v;
  end process;
end architecture;
```